适用于功率敏感型应用的 TLV904x 1.2V 超低电压 10µA 微功耗 RRIO 放大器

1 特性

- 适用于成本优化型应用的低功耗 CMOS 放大器
- 可在电源电压低至 1.2V 的情况下运行
- 低输入偏置电流：1pA（典型值），12pA（最大值）
- 低静态电流：每通道 10µA
- 在 0.1Hz 至 10Hz 范围内具有 6.5μV_{p-p} 的低集成噪声
- 轨到轨输入和输出
- 高增益带宽积：350kHz
- 热本底噪声：64nV/ $\sqrt{Hz}$
- 低输入失调电压：±0.6mV
- 单位增益稳定
- 稳健驱动 100pF 的负载电容
- 内置 RFI 和 EMI 滤波输入引脚
- 宽额定温度范围：-40°C 至 125°C
- 有关解补偿版本（16µA/通道，3.1MHz），请参阅 TLV9041D 和 TLV9042D

2 应用

- 便携式电子产品
- 可穿戴健身和活动监测仪
- 耳麦/耳机和耳塞
- 个人电子产品
- 楼宇自动化
- 可穿戴设备（非医用）
- 运动检测器（PIR、uWave 等）
- 电子销售点 (EPOS)
- 单电源、低侧、单向电流检测电路

3 说明

低功耗 TLV904x 系列包括单通道 (TLV9041)、双通道 (TLV9042) 和四通道 (TLV9044) 超低压（1.2V 至 5.5V）运算放大器，具有轨至轨输入和输出摆幅功能。TLV904x 凭借低静态电流（10µA，典型值）和在低至 1.2V 的电源电压下运行的能力实现功耗节省，是业界为数不多的可支持 1.5V 纽扣电池应用的放大器之一。使用关断模式（TLV9041S、TLV9042S 和 TLV9044S）可以进一步节省功耗，即允许放大器切换至典型电流消耗低于 150nA 的待机模式。这些器件为电源和空间受限的应用（例如电池供电的物联网器件、可穿戴电子产品和低电压运行至关重要的个人电子产品）提供了具有成本效益的放大器设计方案。

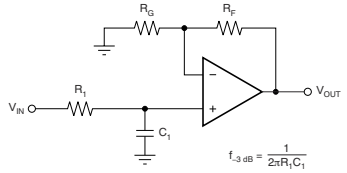
TLV904x 系列的稳健设计有助于简化电路设计。这些运算放大器集成了 RFI 和 EMI 抑制滤波器，具有单位增益稳定性，并且在输入过驱条件下不会出现相位反转。这类器件还提供出色的交流性能和 350kHz 增益带宽，可驱动 100pF 高容性负载，助力设计人员实现更高的性能和更低的功耗。

所有通道型号（单通道、双通道和四通道）采用节省空间的微型封装（如 X2QFN 和 WSON）以及业界通用封装（如 SOIC、VSSOP、TSSOP 和 SOT-23 封装）。

器件信息

器件型号(3)	封装(1)	封装尺寸(2)
TLV9041	DBV（SOT-23，5）	2.9mm × 2.8mm
	DCK（SOT-SC70，5）	2mm × 2.1mm
	DPW（X2SON，5）	0.80mm × 0.80mm
TLV9041S	DBV（SOT-23，6）	2.9mm × 2.8mm
TLV9042	D（SOIC，8）	4.9mm × 6mm
	DDF（SOT-23-THN，8）	2.9mm × 2.8mm
	DSG（WSON，8）	2mm × 2mm
	DGK（VSSOP，8）	3mm × 4.9mm
	PW（TSSOP，8）	3mm × 6.4mm
TLV9042S	RUG（X2QFN，10）	1.5mm × 2mm
TLV9044	D（SOIC，14）	8.65mm × 6mm
	PW（TSSOP，14）	5mm × 6.4mm
	DYY（SOT-23-THN，14）	4.2mm × 3.26mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 其他单通道和双通道封装型号将于近期发布。



单极低通滤波器

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 3
6 规格 7
6.1 绝对最大额定值 7
6.2 ESD 等级 7
6.3 建议运行条件 7
6.4 单通道器件的热性能信息 7
6.5 双通道器件的热性能信息 8
6.6 四通道器件的热性能信息 8
6.7 电气特性 9
6.8 典型特性 11
7 详细说明 19
7.1 概述 19
7.2 功能方框图 19
7.3 特性说明 20
7.4 器件功能模式 24
8 应用和实现 25
8.1 应用信息 25
8.2 典型应用 25
8.3 电源相关建议 27
8.4 布局 27
9 器件和文档支持 30
9.1 文档支持 30
9.2 接收文档更新通知 30
9.3 支持资源 30
9.4 商标 30
9.5 静电放电警告 30
9.6 术语表 30
10 修订历史记录 30
11 机械、封装和可订购信息 31

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件	编号 通道	封装引线												
		SC70 DCK	SOIC D	SOT-23 DBV	SOT-23 DYY	SOT-23-8 DDF	SOT-553 DRL(1)	TSSOP PW	VSSOP DGK	WQFN RTE(1)	WSON DSG	X2QFN RUC(1)	X2SON DPW	X2QFN RUG
TLV9041	1	5	—	5	—	—	5	—	—	—	—	—	5	—
TLV9041S	1	—	—	6	—	—	—	—	—	—	—	—	—	—
TLV9042	2	—	8	—	—	8	—	8	8	—	8	—	—	—
TLV9042S	2	—	—	—	—	—	—	—	—	—	—	—	—	10
TLV9044	4	—	14	—	14	—	—	14	—	16	—	14	—	—

(1) 预发布信息（非量产数据）。

5 引脚配置和功能

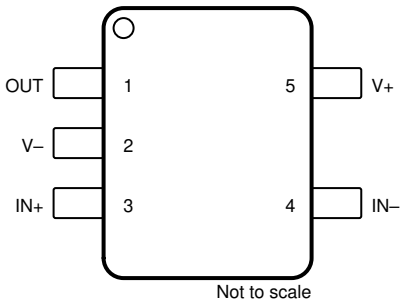


图 5-1. TLV9041 DBV 封装
5 引脚 SOT-23
顶视图

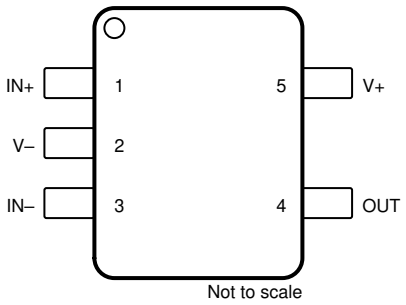


图 5-2. TLV9041U DBV 封装
5 引脚 SOT-23
顶视图

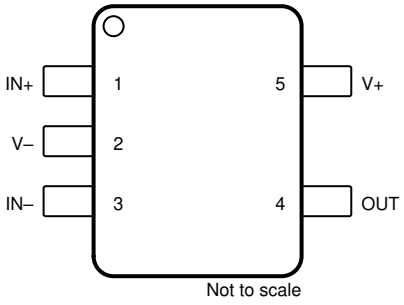


图 5-3. TLV9041 DCK 封装
5 引脚 SC70
顶视图

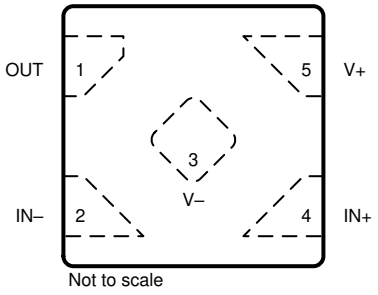


图 5-4. TLV9041 DPW 封装
5 引脚 X2SON
顶视图

表 5-1. 引脚功能：TLV9041 和 TLV9041U

名称	引脚				类型(1)	说明
	编号					
	TLV9041			TLV9041U		
	SOT-23	SC70	X2SON	SOT-23		
IN –	4	3	2	3	I	反相输入
IN+	3	1	4	1	I	同相输入
OUT	1	4	1	4	O	输出
V –	2	2	3	2	I 或 —	负（低）电源或接地（对于单电源供电）
V+	5	5	5	5	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

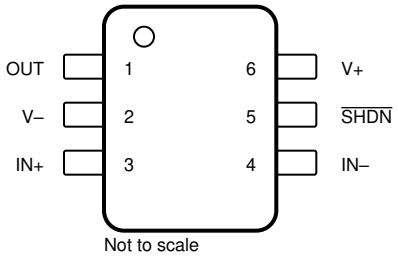


图 5-5. TLV9041S DBV 封装
6 引脚 SOT-23
顶视图

表 5-2. 引脚功能：TLV9041S

引脚		类型(1)	说明
名称	编号		
IN –	4	I	反相输入
IN+	3	I	同相输入
OUT	1	O	输出
$\overline{SHDN}$	5	I	关断（低电平），启用（高电平）
V –	2	I 或 —	负（低）电源或接地（对于单电源供电）
V+	6	I	正（高）电源

(1) I = 输入，O = 输出

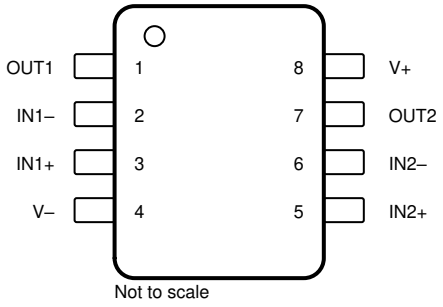
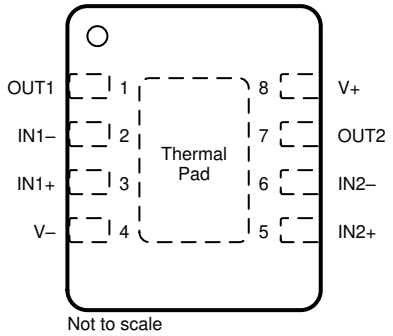


图 5-6. TLV9042 D、DDF、DGK 和 PW 封装
8 引脚 SOIC、SOT-23 8、VSSOP 和 TSSOP
顶视图



将外露散热焊盘连接至 V – 。有关更多信息，请参阅节 7.3.11。

图 5-7. TLV9042 DSG 封装
8 引脚 WSON（带有外露散热焊盘）
顶视图

表 5-3. 引脚功能：TLV9042

引脚		类型(1)	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	I	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

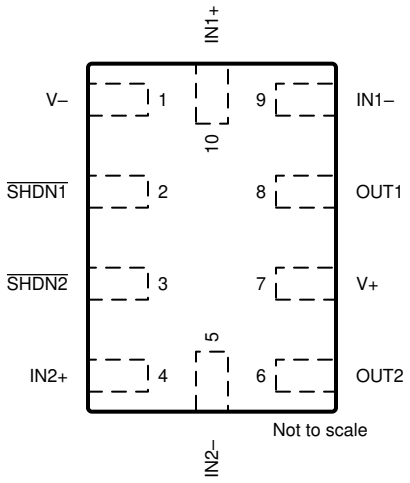


图 5-8. TLV9042S RUG 封装
10 引脚 X2QFN
顶视图

表 5-4. 引脚功能：TLV9042S

引脚		类型(1)	说明
名称	编号		
IN1 –	9	I	反相输入，通道 1
IN1+	10	I	同相输入，通道 1
IN2 –	5	I	反相输入，通道 2
IN2+	4	I	同相输入，通道 2
OUT1	8	O	输出，通道 1
OUT2	6	O	输出，通道 2
$\overline{\text{SHDN1}}$	2	I	关断 – 低电平 = 禁用，高电平 = 启用，通道 1
$\overline{\text{SHDN2}}$	3	I	关断 – 低电平 = 禁用，高电平 = 启用，通道 2
V –	1	I	负（低）电源或接地（对于单电源供电）
V+	7	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

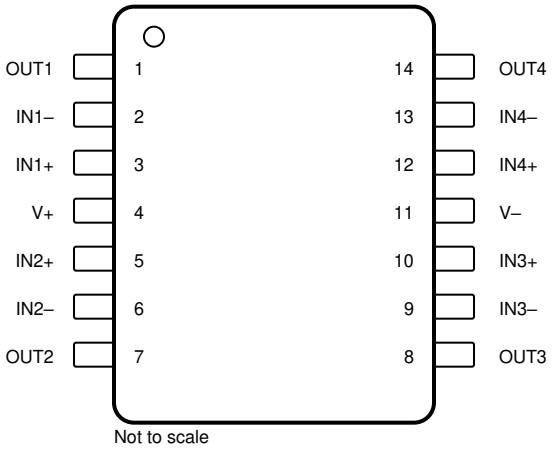


图 5-9. TLV9044 D、PW 和 DYY 封装
14 引脚 SOIC、TSSOP 和 SOT-23
顶视图

表 5-5. 引脚功能：TLV9044

引脚		类型(1)	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 –	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 –	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
NC	—	—	无内部连接
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I 或 —	负（低）电源或接地（对于单电源供电）
V+	4	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	6.0	V
信号输入引脚	共模电压(2)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(2)		V_S + 0.2	V
	电流(2)	-10	10	mA
输出短路(3)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时，可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±3000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	1.2	5.5	V
V_I	输入电压范围	(V–)	(V+)	V
T_A	额定温度	-40	125	°C

6.4 单通道器件的热性能信息

热指标 (1)		TLV9041、TLV9041S				单位
		DBV (SOT-23)		DCK (SC70)	DPW (X2SON)	
		5 引脚	6 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	235.4	214.6	233.8	478.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	135.1	134.2	130.7	219.4	°C/W
$R_{\theta JB}$	结至电路板热阻	103.2	95.6	79.7	345.1	°C/W
ψ_{JT}	结至顶部特征参数	75.6	73.8	51.6	32.9	°C/W
ψ_{JB}	结至电路板特征参数	102.7	95.3	79.1	343.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	192.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2026 Texas Instruments Incorporated

6.5 双通道器件的热性能信息

热指标 (1)		TLV9042					TLV9042S	单位
		D (SOIC)	DDF (SOT-23-8)	DSG (WSON)	PW (TSSOP)	DGK (VSSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	148.3	203.8	99.8	203.1	196.6	196.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	89.8	123.9	122.2	91.9	87.5	87.6	°C/W
$R_{\theta JB}$	结至电路板热阻	91.6	121.6	66.0	133.8	118.5	117.8	°C/W
Ψ_{JT}	结至顶部特征参数	38.6	21.7	13.8	23.7	25.7	3.4	°C/W
Ψ_{JB}	结至电路板特征参数	90.9	199.6	65.9	132.1	116.8	117.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	41.9	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.6 四通道器件的热性能信息

热指标 (1)		TLV9044、TLV9044S			单位
		D (SOIC)	PW (TSSOP)	DYY (SOT-23-14)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	116.4	135.7	152.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	72.5	78.8	86.2	°C/W
$R_{\theta JB}$	结至电路板热阻	72.4	63.9	67.4	°C/W
Ψ_{JT}	结至顶部特征参数	30.8	14.2	10.1	°C/W
Ψ_{JB}	结至电路板特征参数	72	78.3	67.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性

在 T_A = 25°C 时，V_S = 1.2V 至 5.5V（±0.6 V 至 ±2.75 V）、G = 10V/V、R_F = 180kΩ、C_F = 0.24pF、R_L = 100kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 $V_{O\ UT}$ = V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压				±0.6	±2.25	mV
			T_A = -40°C 至 125°C			±2.5	
dV_{OS}/dT	输入失调电压漂移		T_A = -40°C 至 125°C		±0.8		µV/℃
PSRR	输入失调电压与电源间的关系	V_S = ±0.6V 至 ±2.75V，V_{CM} = V –			±20	±100	µV/V
	通道隔离	f = 10kHz			±5.6		µV/V
输入偏置电流							
I_B	输入偏置电流 (1)				±1	±12	pA
I_{OS}	输入失调电流(1)				±0.5	±10	pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			6.5		µ V_{PP}
e_N	输入电压噪声密度	f = 100Hz			85		nV/ √Hz
		f = 1kHz			66		
		f = 10kHz			64		
i_N	输入电流噪声(2)	f = 1kHz			20		fA/ √Hz
输入电压范围							
V_{CM}	共模电压范围			(V –)		(V+)	V
CMRR	共模抑制比	(V –) < V_{CM} < (V+) – 0.7V，V_S = 1.2V	T_A = -40°C 至 125°C	60	77		dB
		(V –) < V_{CM} < (V+) – 0.7V，V_S = 5.5V		75	89		
		(V –) < V_{CM} < (V+)，V_S = 1.2V			60		
		(V –) < V_{CM} < (V+)，V_S = 5.5V		57	72		
输入阻抗							
Z_{ID}	差分				80 || 1.4		GΩ || pF
Z_{ICM}	共模				100 || 0.5		GΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 1.2V、(V –) + 0.2V < V_O < (V+) – 0.2V、R_L = 10kΩ 连接至 V_S / 2	T_A = -40°C 至 125°C		98		dB
		V_S = 5.5V，(V –) + 0.2V < V_O < (V+) – 0.2V，R_L = 10kΩ（连接至 V_S/2）			125		
		V_S = 1.2V，(V –) + 0.1V < V_O < (V+) – 0.1V，R_L = 100kΩ（连接至 V_S/2）			105		
		V_S = 5.5V，(V –) + 0.1V < V_O < (V+) – 0.1V，R_L = 100kΩ（连接至 V_S/2）		107	130		
频率响应							
THD+N	总谐波失真 + 噪声 (3)	V_S = 5.5V，V_{CM} = 2.75V，V_O = 1V_{RMS}，G = +1，f = 1kHz，R_L = 100kΩ（连接至 V_S/2）			0.013		%
GBW	增益带宽积	R_L = 1MΩ（连接至 V_S/2）			350		kHz
SR	压摆率	V_S = 5.5V，G = +1，C_L = 10pF			0.2		V/µs
t_S	趋稳时间	精度达到 0.1%，V_S = 5.5V，V_{STEP} = 4V，G = +1，C_L = 10pF			25		µs
		精度达到 0.1%，V_S = 5.5V，V_{STEP} = 2V，G = +1，C_L = 10pF			22		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 4V，G = +1，C_L = 10pF			35		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 2V，G = +1，C_L = 10pF			30		
	相位裕度	G = +1，R_L = 100kΩ（连接到 V_S/2），C_L = 10pF			65		°
	过载恢复时间	V_{IN} × 增益 > V_S			13		µs
EMIRR	电磁干扰抑制比	f = 1GHz，V_{IN_EMIRR} = 100mV			70		dB
输出							

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性（续）

在 T_A = 25°C 时，V_S = 1.2V 至 5.5V（±0.6 V 至 ±2.75 V）、G = 10V/V、R_F = 180kΩ、C_F = 0.24pF、R_L = 100kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 $V_{O\ UT}$ = V_S / 2，除非另有说明。

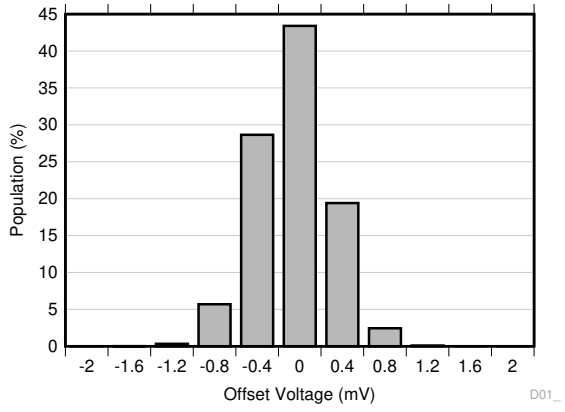
参数		测试条件		最小值	典型值	最大值	单位
	相对于电源轨的电压输出摆幅	正电源轨余量	V_S = 1.2V，R_L = 100kΩ（连接至 V_S/2）		0.75	7	mV
			V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2）		10	21	
			V_S = 5.5V，R_L = 100kΩ（连接至 V_S/2）		1	8	
		负电源轨余量	V_S = 1.2V，R_L = 100kΩ（连接至 V_S/2）		0.75	5	
			V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2）		10	21	
			V_S = 5.5V，R_L = 100kΩ（连接至 V_S/2）		1	8	
I_{SC}	短路电流(4)	V_S = 5.5V			±40		mA
Z_O	开环输出阻抗	f = 10kHz			7500		Ω
电源							
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0A			10	13	μA
			T_A = -40°C 至 125°C			13.5	
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0A，仅适用于 TLV9041UIDBVR			10	13.5	μA
			T_A = -40°C 至 125°C			14	μA
关断							
I_{QSD}	每个放大器的静态电流	所有放大器均为禁用状态，$\overline{SHDN}$ = V–			75	200	nA
Z_{SHDN}	关断时的输出阻抗	已禁用放大器			43 || 11.5		GΩ || pF
V_{IH}	逻辑高电平阈值电压（放大器为启用状态）			(V–) + 1V			V
V_{IL}	逻辑低电平阈值电压（放大器为禁用状态）					(V–) + 0.2V	V
t_{ON}	放大器启用时间（完全关断）(5) (6)	G = +1，V_{CM} = V_S/2，V_O = 0.9 × V_S/2，R_L 连接至 V–			160		μs
	放大器启用时间（部分关断）(5) (6)	G = +1，V_{CM} = V_S/2，V_O = 0.9 × V_S/2，R_L 连接至 V–			120		
t_{OFF}	放大器禁用时间(5)	G = +1，V_{CM} = V_S/2，V_O = 0.1 × V_S/2，R_L 连接至 V–			10		μs
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）	(V+) ≥ $\overline{SHDN}$ ≥ (V–) + 1V			100		pA
		(V–) ≤ $\overline{SHDN}$ ≤ (V–) + 0.2V			50		

(1) 根据表征结果指定最大 I_B 和 I_{OS} 限制。大于 2.5V 的输入差分电压会导致 I_B 增加
(2) 典型的输入电流噪声数据是根据设计仿真结果指定的
(3) 三阶滤波器；-3dB 时的带宽 = 80kHz。
(4) 短路电流是拉出和吸收短路电流的平均值
(5) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的间隔。
(6) 完全关断是指双通道 TLV9042S 的通道 1 和 2 都被禁用 ($\overline{SHDN1}$ = $\overline{SHDN2}$ = V–) 且四路 TLV9044S 的通道 1 至 4 都被禁用 ($\overline{SHDN12}$ = $\overline{SHDN34}$ = V–)。对于部分关断，仅使用 $\overline{SHDN}$ 引脚；在这种模式下，内部偏置电路仍然保持正常工作，并且启用时间更短。

Copyright © 2026 Texas Instruments Incorporated

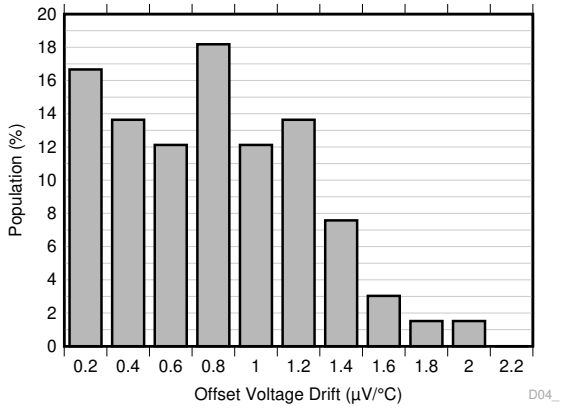
6.8 典型特性

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



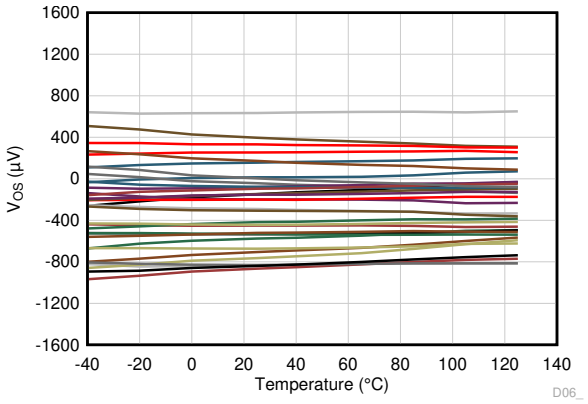
V_S = 5.5V

图 6-1. 失调电压分布直方图



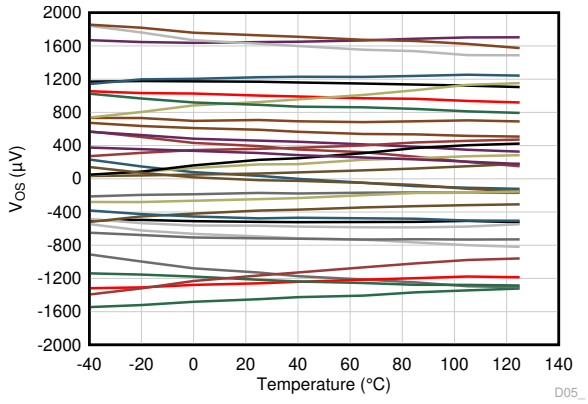
V_S = 5.5V，T_A = –40°C 至 +125°C

图 6-2. 失调电压漂移分布直方图



V_S = 5.5V，V_{CM} = V–

图 6-3. 输入失调电压与温度间的关系



V_S = 5.5V，V_{CM} = V+

图 6-4. 输入失调电压与温度间的关系

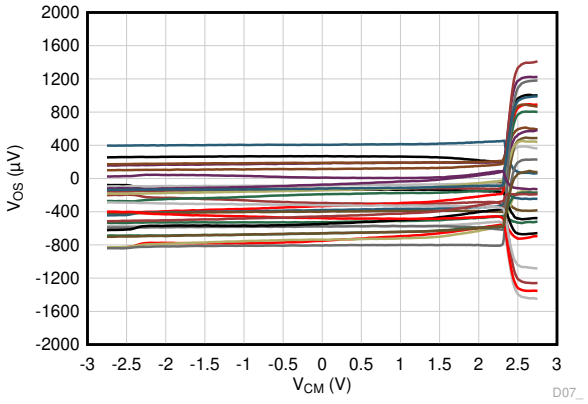
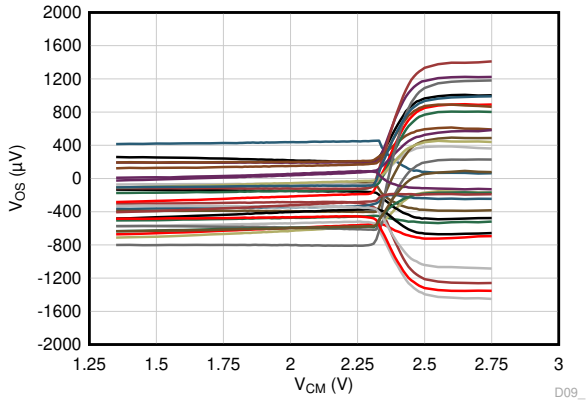


图 6-5. 失调电压与共模间的关系



V_{CM} > (V+) – 1.4V

图 6-6. 失调电压与共模间的关系

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

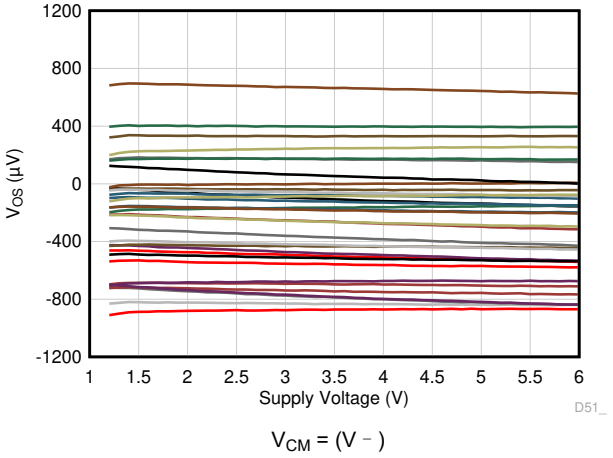


图 6-7. 偏移电压与电源电压间的关系

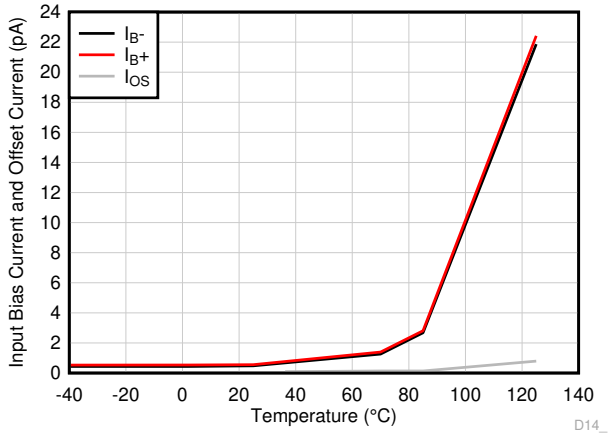


图 6-8. I_B 和 I_{OS} 与温度间的关系

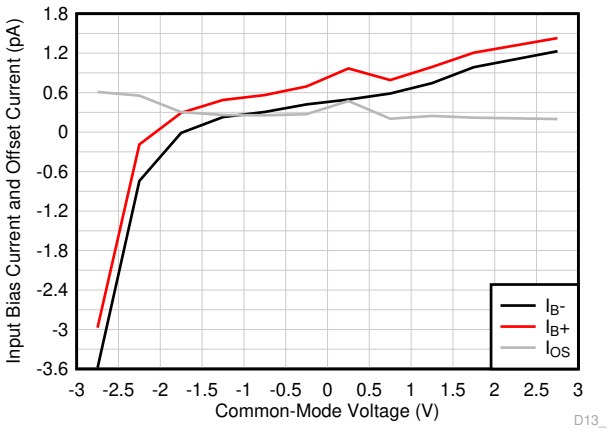


图 6-9. I_B 和 I_{OS} 与共模电压间的关系

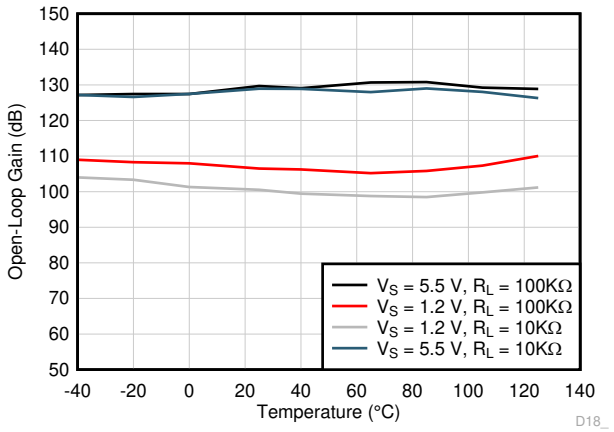


图 6-10. 开环增益与温度间的关系

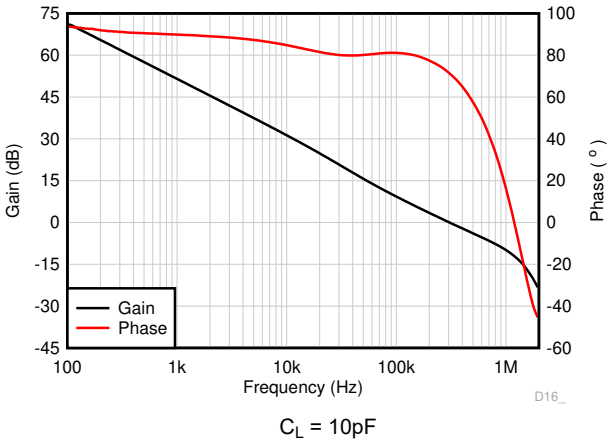


图 6-11. 开环增益和相位与频率间的关系

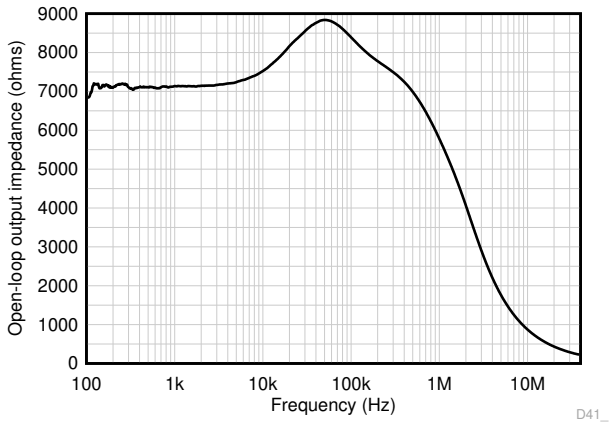
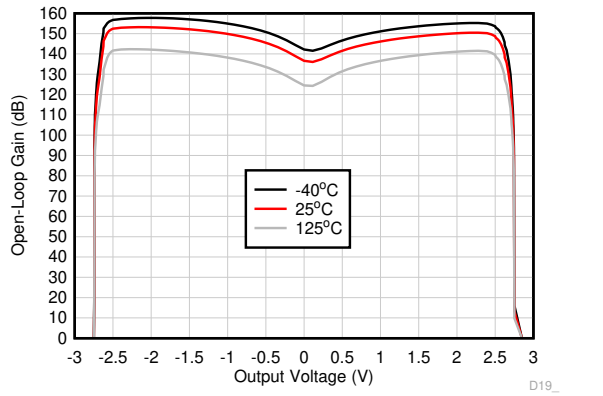


图 6-12. 开环输出阻抗与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

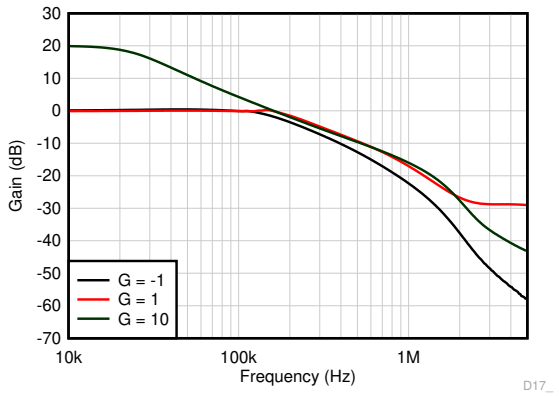
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



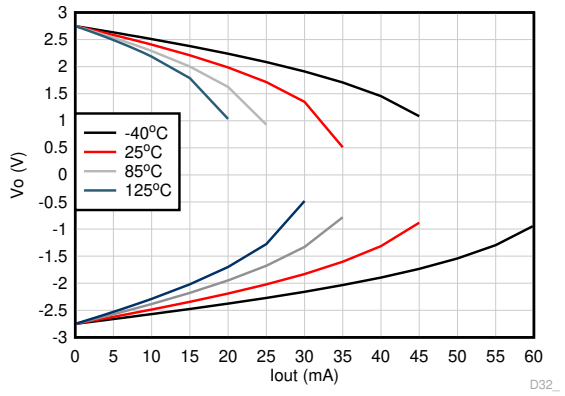
V+ = 2.75V，V– = –2.75V　　R_L = 10kΩ

图 6-13. 开环增益与输出电压间的关系



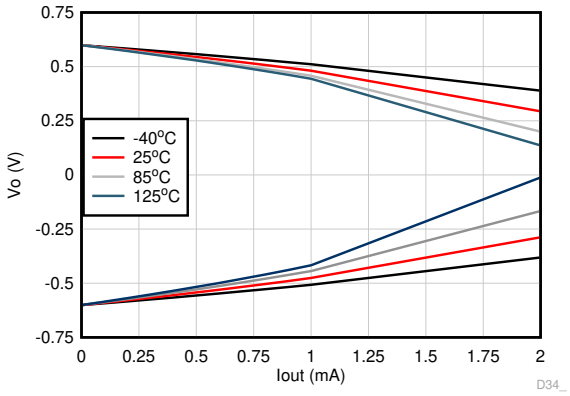
C_L = 10pF

图 6-14. 闭环增益与频率间的关系



V+ = 2.75V，V– = –2.75V

图 6-15. 输出电压与输出电流间的关系（爪形）



V+ = 0.6V，V– = –0.6V

图 6-16. 输出电压与输出电流间的关系（爪形）

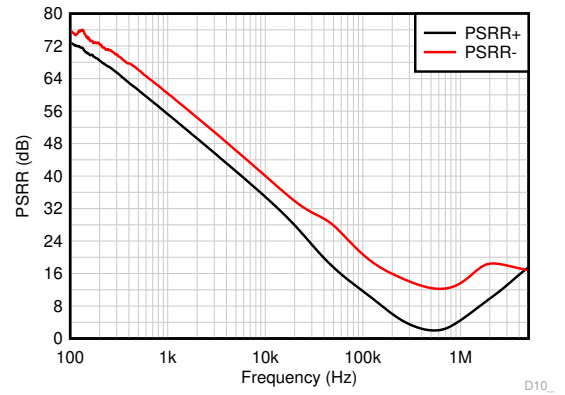
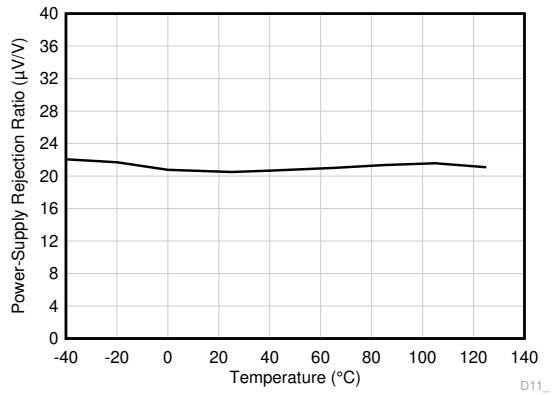


图 6-17. PSRR 与频率间的关系



V_S = 1.2 V 至 5.5V

图 6-18. 直流 PSRR 与温度间的关系

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

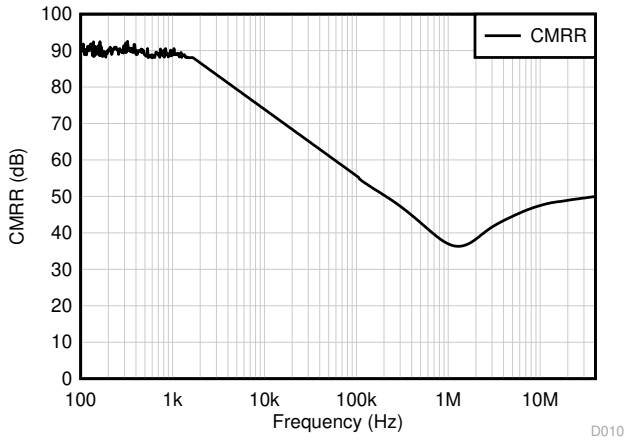


图 6-19. CMRR 与频率间的关系

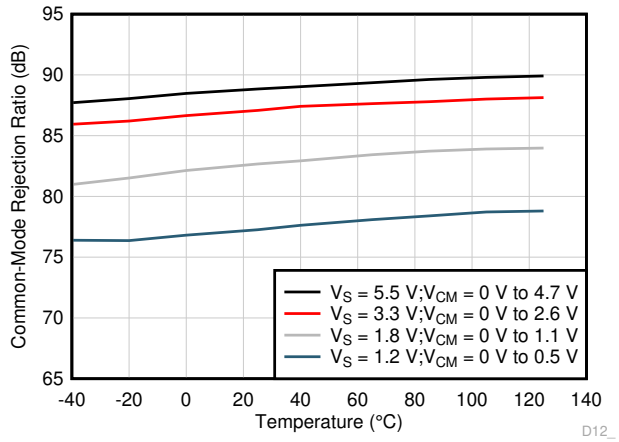


图 6-20. 直流 CMRR 与温度间的关系

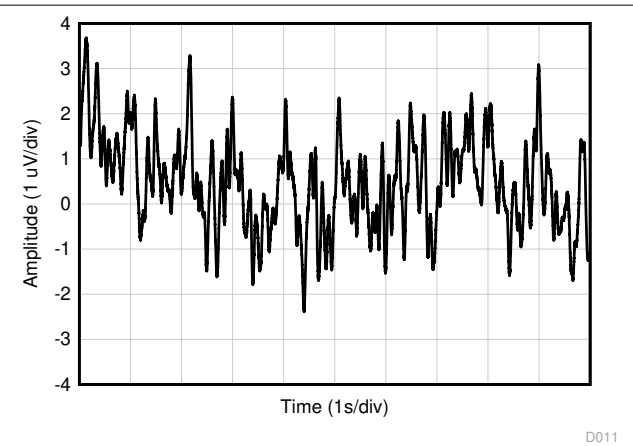


图 6-21. 0.1Hz 至 10Hz 时域电压噪声

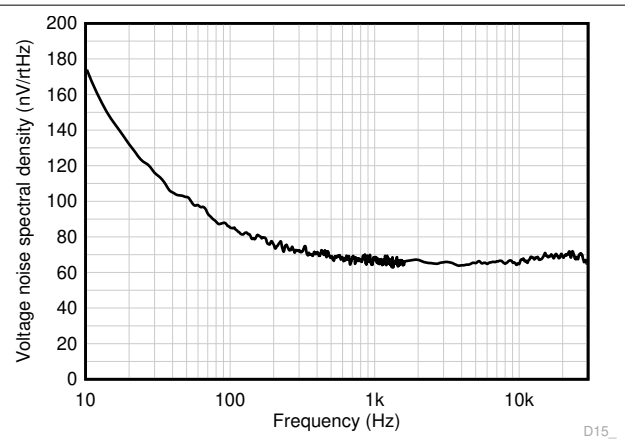
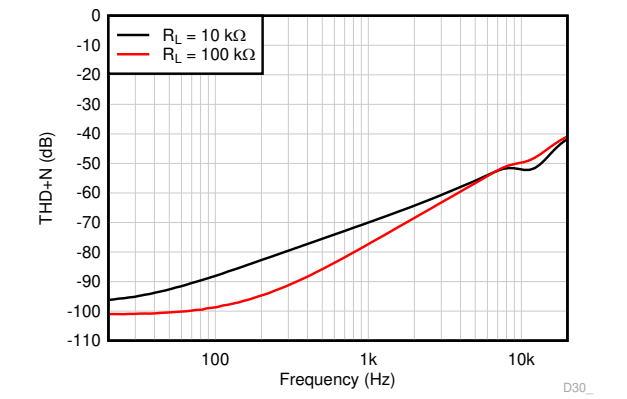
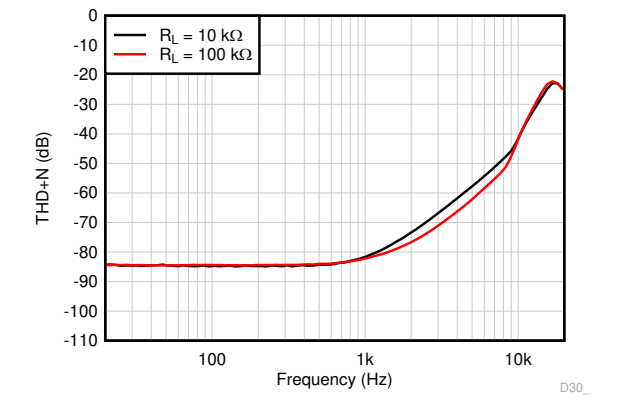


图 6-22. 输入电压噪声频谱密度



V_S = 5.5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = 0.5V_{RMS}

图 6-23. THD+N 与频率间的关系



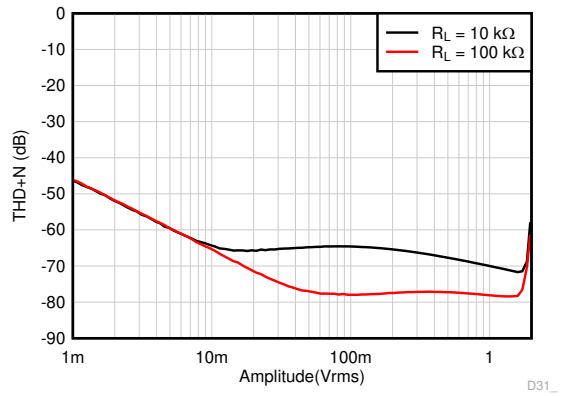
V_S = 5.5V　　V_{CM} = 2.5V　　G = –1
BW = 80kHz　　V_{OUT} = 0.5V_{RMS}

图 6-24. THD+N 与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

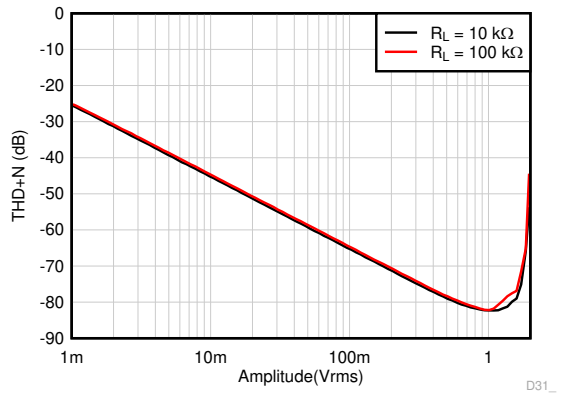
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V_S = 5.5V　　V_{CM} = 2.5V　　f = 1kHz
G = 1　　BW = 80kHz

图 6-25. THD + N 与幅度间的关系



V_S = 5.5V　　V_{CM} = 2.5V　　f = 1kHz
G = –1　　BW = 80kHz

图 6-26. THD + N 与幅度间的关系

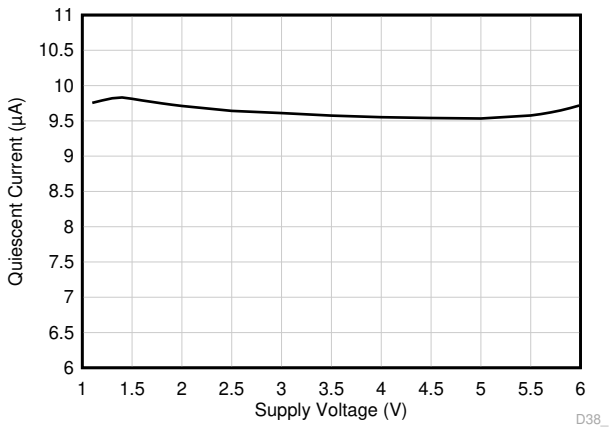


图 6-27. 静态电流与电源电压间的关系

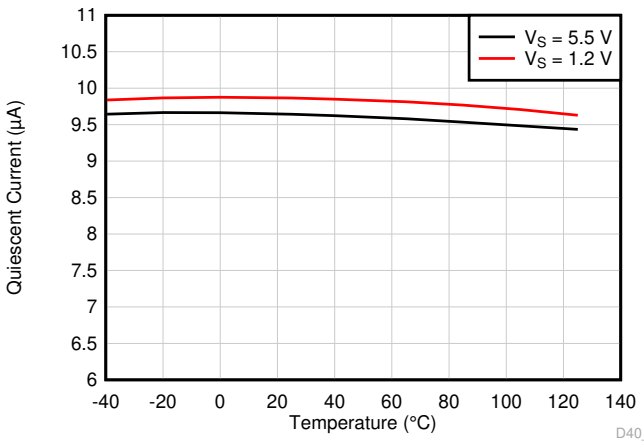
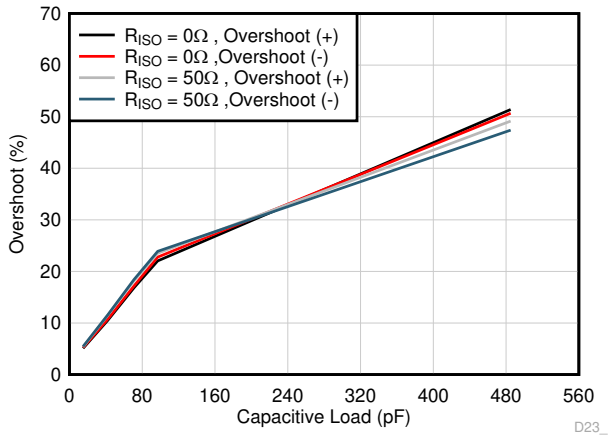
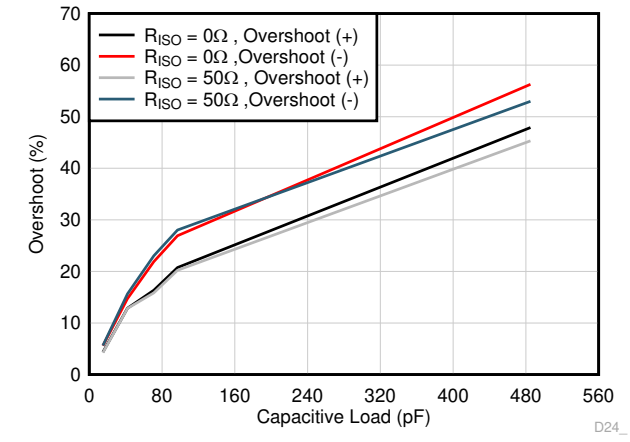


图 6-28. 静态电流与温度间的关系



G = 1　　V_{IN} = 100mVpp

图 6-29. 小信号过冲与容性负载间的关系



G = –1　　V_{IN} = 100mVpp

图 6-30. 小信号过冲与容性负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

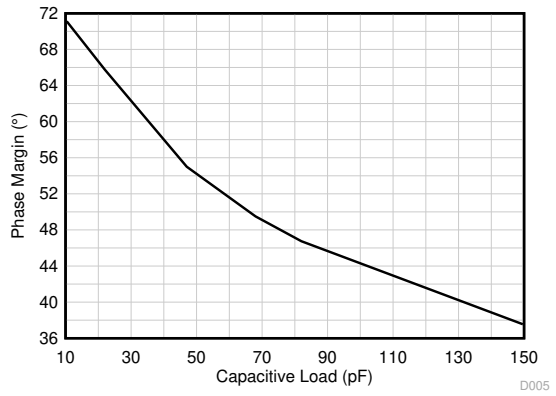
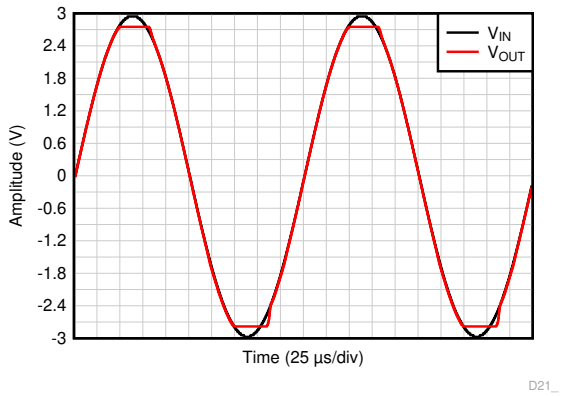
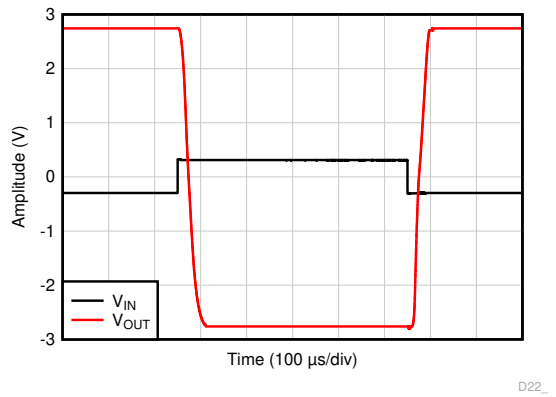


图 6-31. 相位裕度与容性负载间的关系



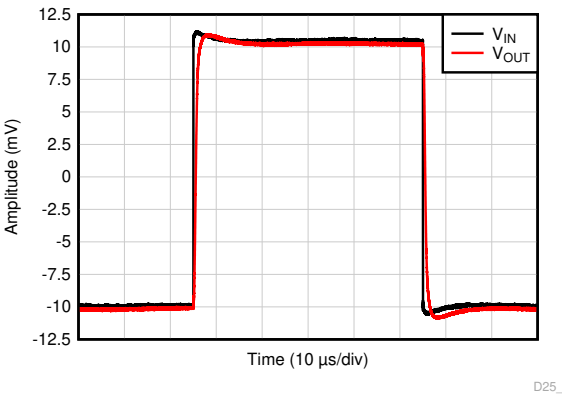
G = 1　　V_{IN} = 6 V_{PP}

图 6-32. 无相位反转



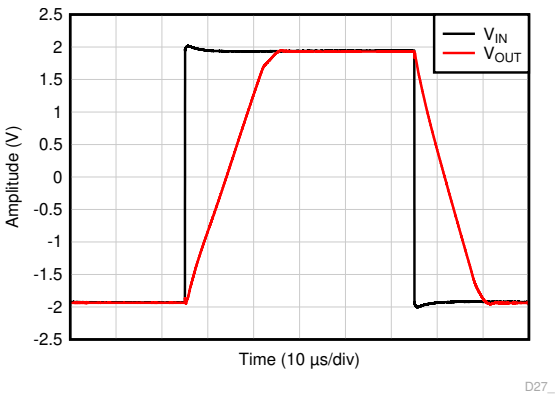
G = -10　　V_{IN} = 600 mV_{PP}

图 6-33. 过载恢复



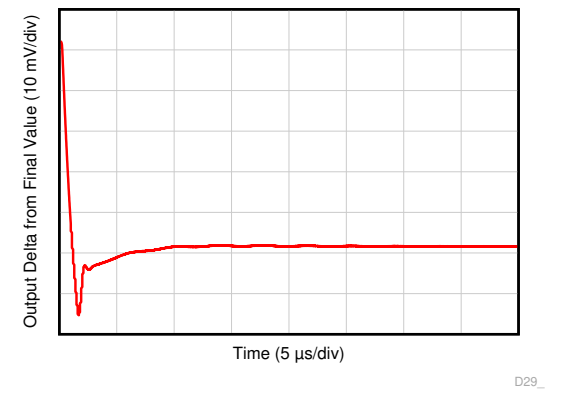
G = 1　　V_{IN} = 20 mV_{PP}　　C_L = 10pF

图 6-34. 小信号阶跃响应



G = 1　　V_{IN} = 4 V_{PP}　　C_L = 10pF

图 6-35. 大信号阶跃响应



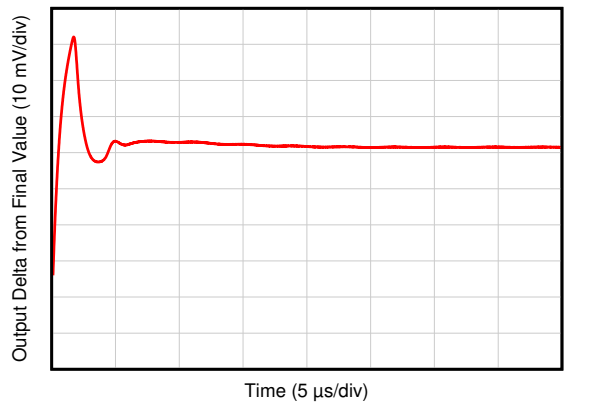
G = 1　　V_{IN} = 4 V_{PP}　　C_L = 10pF

图 6-36. 大信号建立时间（负）

Copyright © 2026 Texas Instruments Incorporated

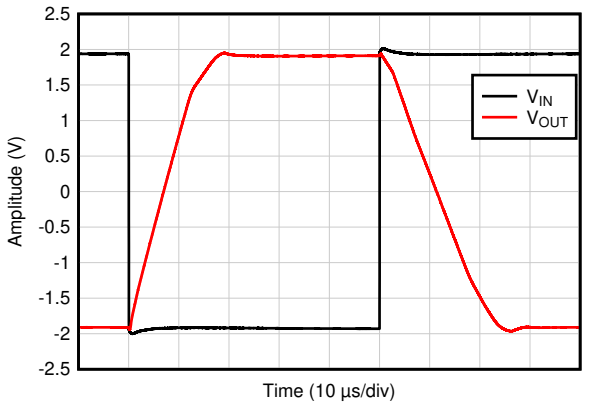
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



G = 1　　V_{IN} = 4 V_{PP}　　C_L = 10pF

图 6-37. 大信号建立时间（正）



G = –1　　V_{IN} = 4 V_{PP}　　C_L = 10pF

图 6-38. 大信号阶跃响应

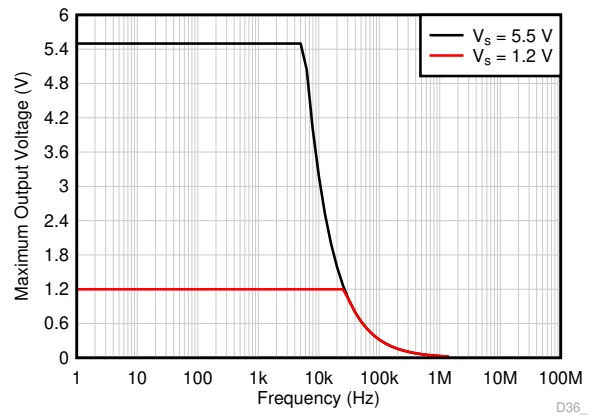


图 6-39. 最大输出电压与频率间的关系

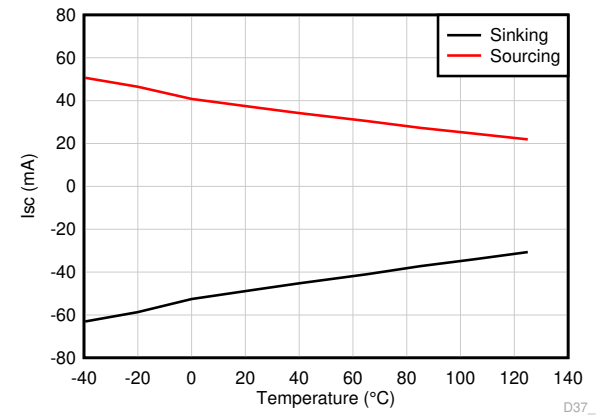


图 6-40. 短路电流与温度间的关系

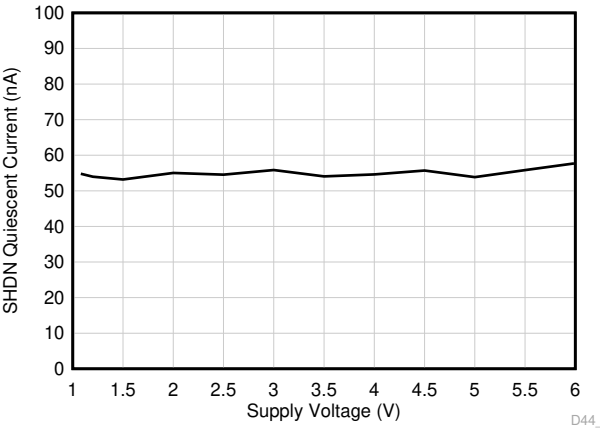


图 6-41. 关断模式静态电流与电源电压间的关系

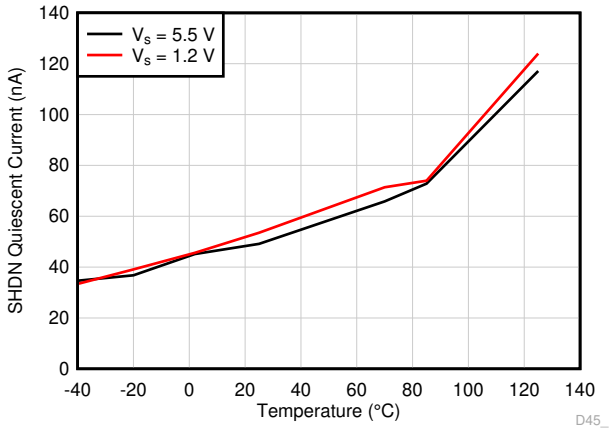


图 6-42. 关断模式静态电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ（连接到 V_S/2、V_{CM} = V_S/2 并且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

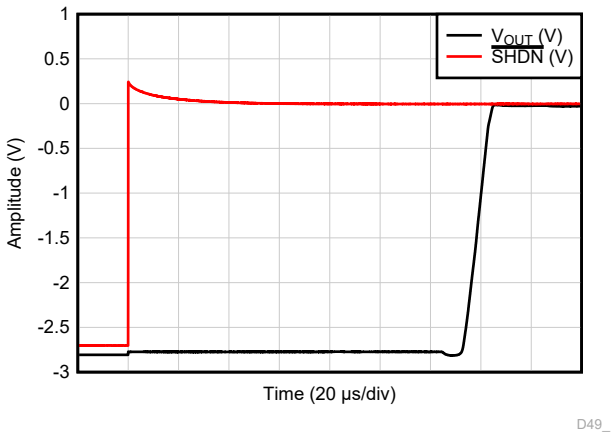


图 6-43. 放大器启用响应

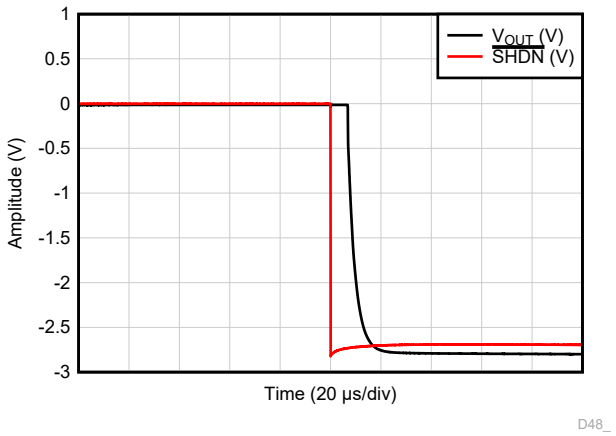


图 6-44. 放大器禁用响应

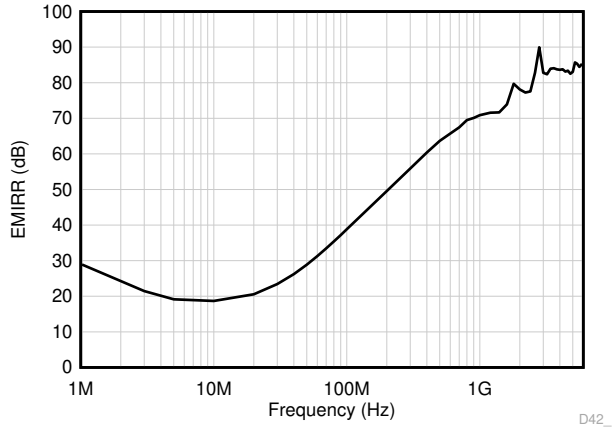


图 6-45. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

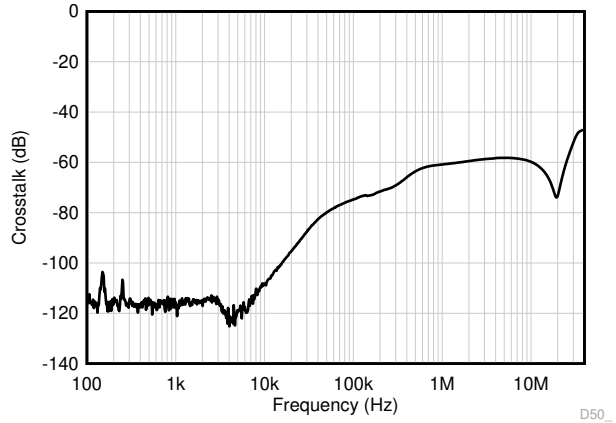


图 6-46. 通道分离

Copyright © 2026 Texas Instruments Incorporated

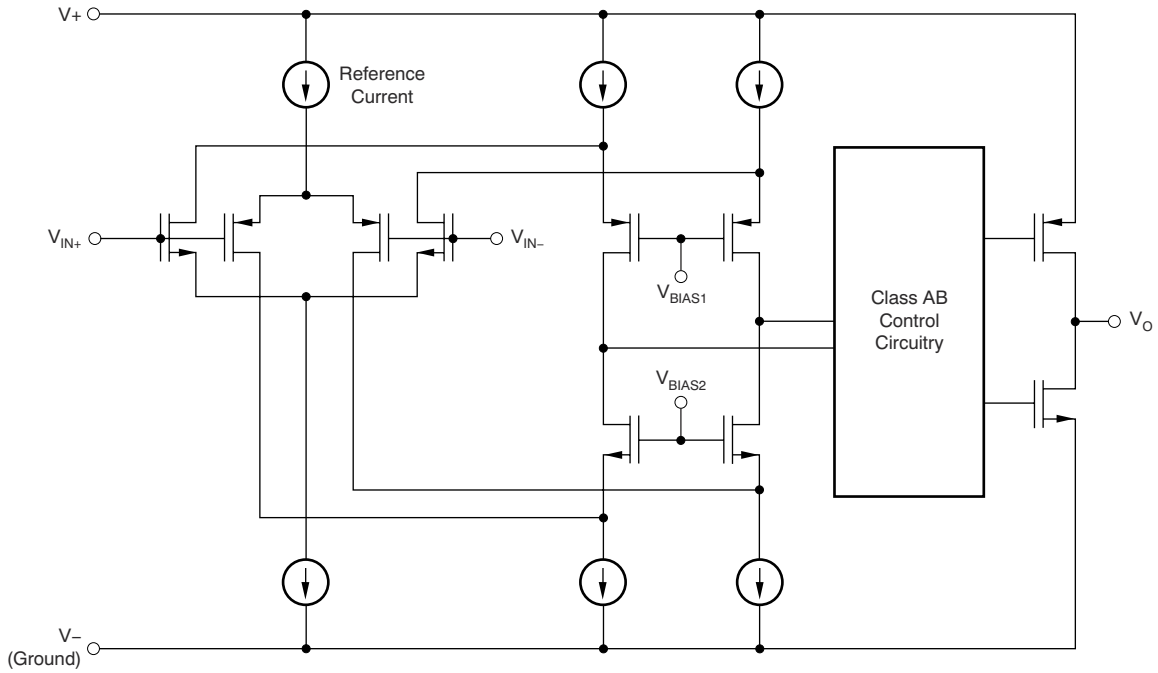
7 详细说明

7.1 概述

TLV904x 是一系列低功耗轨到轨输入和输出运算放大器，专为电池供电应用而设计。该系列放大器采用独特的晶体管，可在 1.2V 的超低电源电压至 5.5V 的标准电源电压范围内运行。这些单位增益稳定的放大器提供 350kHz 的 GBW，I_Q 仅为 10μA。TLV904x 在 5.5V 时还具有 40mA 的短路电流能力。这种低电压、低 IQ 和高输出电流能力的组合使该器件非常独特，适合广泛的通用应用。输入共模电压范围包括两个电源轨，并支持将 TLV904x 系列用于许多单电源或双电源配置。轨到轨输入和输出摆动显著增加了动态范围，特别是在低电源应用中，使这些器件非常适合驱动低速采样模数转换器 (ADC)。而且，AB 类输出级能够驱动连接至 V+ 和接地端之间任一点的大于 2kΩ 的电阻负载。

TLV904x 可以驱动典型相位裕度为 45°、高达 100pF 的器件，并具有 350kHz 增益带宽积，0.2V/μs 转换速率，6.5μV_{p-p} 集成噪声（0.1 至 10Hz），同时每个通道仅消耗 10μA 的电源电流，从而能够以极低的功耗提供良好的交流性能。直流应用还具有 1pA 的低输入偏置电流（典型值）、0.6mV 的输入失调电压（典型值），以及良好的 PSRR、CMRR 和 A_{OL}。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

TLV904x 系列运算放大器可确保正常工作的额定工作电压范围为 1.2V 至 5.5V。此外，多种规格适用于 –40°C 至 125°C 的温度范围。节 6.8 中介绍了可能会随工作电压或温度的变化而显著变化的参数。强烈建议使用至少 0.01 µF 的陶瓷电容器来旁路电源引脚。

7.3.2 轨到轨输入

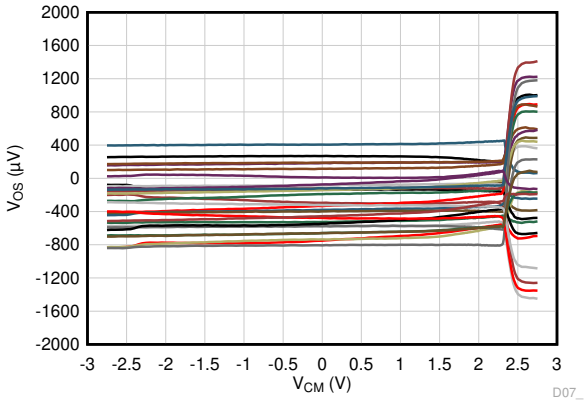
TLV904x 系列的输入共模电压范围可以扩展到任何一个电源轨。即使在 1.2V 的超低电源电压，一直到 5.5V 的标准电源电压下工作时都是如此。此性能是通过互补输入级实现的：N 通道输入差分对与 P 通道差分对并联。有关更多详细信息，请参阅节 7.2。

对于大多数具有互补输入级的放大器，其中一个输入对（通常是 P 通道输入对）设计用于在输入失调电压、N 通道对上的温漂方面提供稍微更好的性能。因此，P 通道对旨在覆盖大部分共模范围，而 N 通道对则被设计为在一定阈值电压下从正轨缓慢接管。就在阈值电压之后，两个输入对都在一个称为过渡区的小范围内工作。在这个区域之外，N 通道对完全接管。与器件在此区域外运行相比，器件在转换区域内运行时，PSRR、CMRR、失调电压、温漂和 THD 会降级。因此，大多数应用通常更喜欢在性能稍好一些的 P 通道输入范围内运行。

对于 TLV904x，P 通道对通常对从负电源轨到 (V+) – 0.4V 的输入电压有效，而 N 通道对通常对从正电源到 (V+) – 0.4V 的输入电压有效。过渡区域通常出现在 (V+) – 0.5V 到 (V+) – 0.3V 之间，在过滤区域内时，两对均开启。上面提到的这些电压电平可能随着与晶体管的阈值电压相关联的工艺变化而变化。在 TLV904x 中，上述 200mV 过渡区域在任一方向上的变化最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 0.7 V 至 (V+) – 0.5 V 之间，在高端上的范围高达 (V+) – 0.3 V 至 (V+) – 0.1 V 之间。

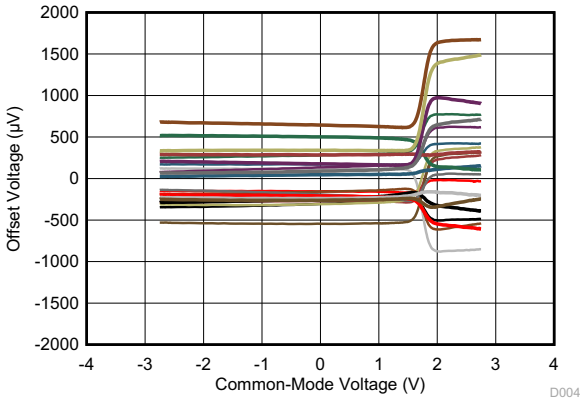
鉴于 P 通道输入对通常提供比 N 通道输入对更好的性能，TLV904x 与业内大多数互补输入放大器相比，提供了更宽的 P 通道输入对范围。下面提供了 TLV904x 和 TLV900x 的并排比较。请注意，TLV900x 仅规定 P 通道对在正电源轨电压高达 1.4V 时仍可工作，而 TLV904x 则规定 P 通道对在正电源轨电压低至 0.7V 时仍可工作。TLV904x 的这个额外的 700mV P 通道输入对范围在 P 通道输入范围通常在很大程度上受到限制的较低电源电压（1.2V、1.8V 等）下运行时特别有用。

因此，输入信号的宽共模摆幅可以更容易地容纳在 TLV904x 的 P 通道输入对中，同时可能避开过渡区域，从而保持线性度。



V+ = 2.75V，V– = –2.75V

图 7-1. TLV904x 失调电压与共模间的关系



V+ = 2.75V，V– = –2.75V

图 7-2. TLV900x 失调电压与共模间的关系

Copyright © 2026 Texas Instruments Incorporated

7.3.3 轨到轨输出

TLV904x 器件设计为一种微功耗、低噪声运算放大器，可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨到轨输出摆幅功能。对于高达 5kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 20 mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

7.3.4 共模抑制比 (CMRR)

TLV904x 的 CMRR 具有多种规格，因此可为给定应用提供最佳匹配；请参阅电气特性表。首先，给出了低于转换区域 [VCM < (V+) – 0.7V] 的共模范围内的器件 CMRR。当应用需要使用差分输入对之一时，此规格是器件功能的最佳指标。其次，指定了在（VCM = 0V 至 5.5V）时整个共模范围内的 CMRR。最后的这个值包含转换区域内测出的变化。

7.3.5 容性负载和稳定性

TLV904x 被设计用于需要驱动容性负载的应用中。与所有运算放大器一样，可能存在会使 TLV904x 变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。在单位增益 (1V/V) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相位裕度降级的极点。当容性负载增加时，相位裕度的降级会增大。在单位增益配置下运行时，TLV904x 具有良好的相位裕度（典型值为 45°），在高达约 100pF 的纯容性负载下仍能保持稳定。某些超大电容器（C_L 大于 1μF）的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

要提升在单位增益配置下运行的放大器的容性负载驱动能力，一种方法是插入一个与输出串联的小型电阻器（一般为 10Ω 到 20Ω），（如图 7-3 中所示）。这个电阻器大大减少了与大容性负载相关的过冲和振铃。不过，该方法可能存在的问题是，这个新增的串联电阻和任一与容性负载并联的电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

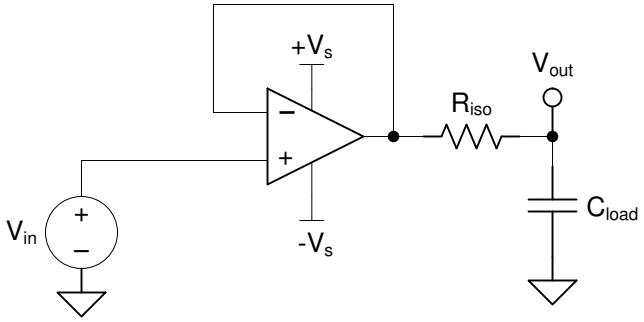


图 7-3. 增强容性负载驱动能力

7.3.6 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。一旦其中一个输出器件进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级返回其线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV904x 系列的过载恢复时间通常约为 13μs。

7.3.7 EMI 抑制

TLV904x 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLV904x 从这些设计改进中受益。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 7-4 展示了对 TLV904x 执

Copyright © 2026 Texas Instruments Incorporated

行此测试的结果。表 7-1 展示了 TLV904x 在实际应用中常见特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用报告包含了与运算放大器相关的 EMIRR 性能主题，该报告可在 www.ti.com 上下载。

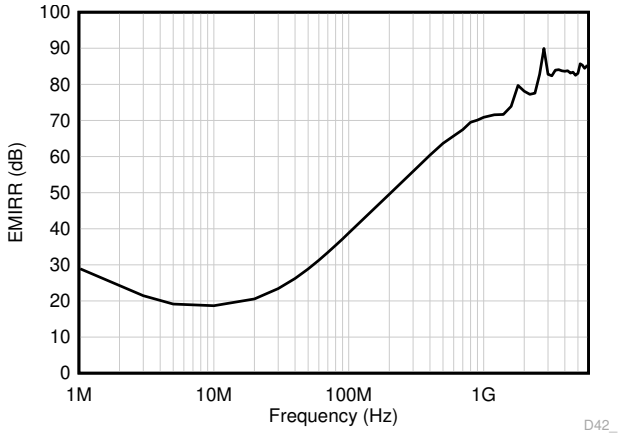


图 7-4. EMIRR 测试

Copyright © 2026 Texas Instruments Incorporated

表 7-1. TLV904x 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	60dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	70dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	75dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	79.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	82dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	85dB

7.3.8 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。图 7-5 显示了 TLV904x 器件中包含的 ESD 电路。ESD 保护电路中涉及多个导流二极管，这些二极管从输入引脚和输出引脚连接回内部供电线路，并且它们均连接到运算放大器内部的吸收器件。该保护电路在电路正常工作时处于未运行状态。

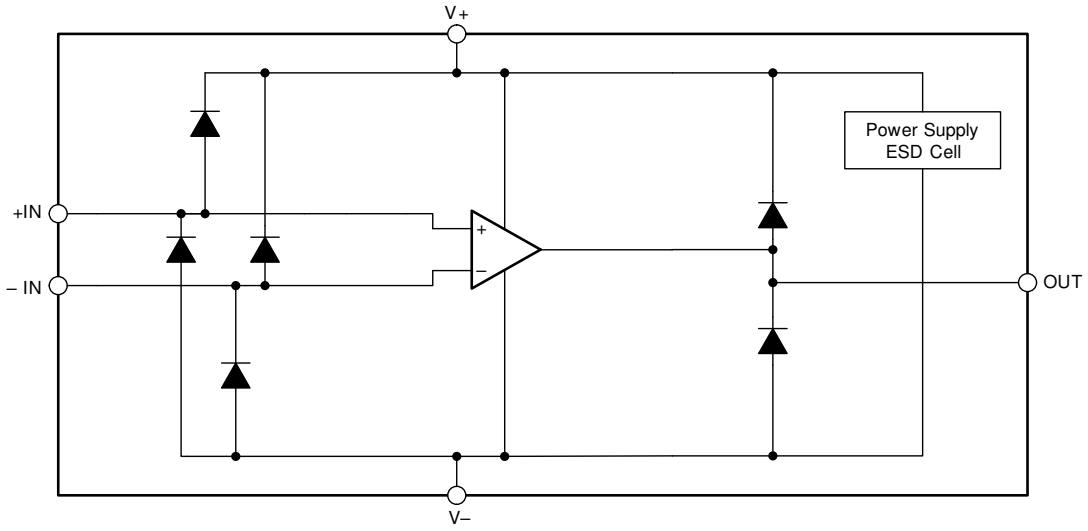


图 7-5. 等效内部 ESD 电路

7.3.9 输入和 ESD 保护

TLV904x 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 7-6 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

Copyright © 2026 Texas Instruments Incorporated

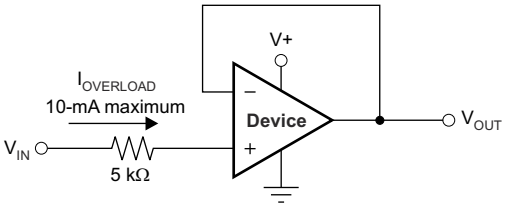


图 7-6. 输入电流保护

7.3.10 关断功能

TLV904xS 器件具有 $\overline{\text{SHDN}}$ 引脚，可禁用运算放大器，将其置于低功耗待机模式。在此模式下，运算放大器消耗的电流通常低于 150nA。$\overline{\text{SHDN}}$ 引脚为低电平有效，这意味着当 $\overline{\text{SHDN}}$ 引脚的输入为有效逻辑低电平时启用关断模式。

$\overline{\text{SHDN}}$ 引脚以运算放大器的负电源电压为基准。关断特性的阈值在 500 mV（典型值）左右，且不随电源电压的变化而变化。开关阈值中包含了迟滞，以确保顺畅的开关特性。为了确保最佳的关断行为，应通过有效逻辑信号驱动 $\overline{\text{SHDN}}$ 引脚。有效逻辑低电平被定义为 V– 和 V– + 0.2V 之间的电压。有效逻辑高电平被定义为 V– + 1V 和 V+ 之间的电压。要启用放大器，必须将 $\overline{\text{SHDN}}$ 引脚驱动至有效逻辑高电平。若要禁用放大器，必须将 $\overline{\text{SHDN}}$ 引脚驱动至有效逻辑低电平。我们强烈建议将关断引脚连接到有效的高电压或低电压或驱动。$\overline{\text{SHDN}}$ 引脚允许的最大电压为 (V+) + 0.5V。超过此电压水平器件将损坏。

$\overline{\text{SHDN}}$ 引脚为高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电应用，这种特性可用于大幅降低平均电流并延长电池寿命。所有通道全部关断时，启用时间为 160µs；禁用时间为 10 µ s。禁用时，输出呈现高阻抗状态。该架构允许将 TLV904xS 作为门控放大器（或将器件输出复用到公共模拟输出总线上）。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断（禁用），指定的 100kΩ 负载需加载到中间电源 (V_S/2)。如果在没有负载的情况下使用 TLV904xS，则所需的关断时间会显著增加。

7.3.11 带外露散热焊盘的封装

TLV904x 系列采用具有外露散热焊盘的 WQFN-16 (RTE) 封装。在封装内部，使用导电化合物将内核连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 V– 或保持悬空。不允许将导热垫连接到 V– 以外的电位，否则无法保证器件的性能。

7.4 器件功能模式

TLV904x 器件拥有单功能模式。只要电源电压在 1.2 V (±0.6 V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

TLV904xS 器件具有关断引脚，可用于将运算放大器置于低功耗模式。更多信息请查阅 节 7.3.10。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TLV904x 系列低功耗轨到轨输入和输出运算放大器是专为便携式应用而设计的。该系列器件的工作电压范围为 1.2V 至 5.5V，单位增益稳定，适合各种通用型应用。AB 类输出级能够驱动连接至 V+ 和 V – 之间任一点的大于 2kΩ 的电阻负载。输入共模电压范围包括两个电源轨，并支持将 TLV904x 系列用于许多单电源或双电源配置。

8.2 典型应用

8.2.1 TLV904x 低侧电流检测应用

图 8-1 显示了低侧电流检测应用中配置的 TLV904x。

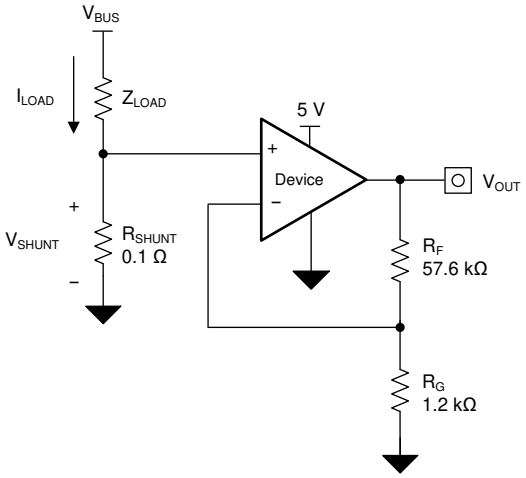


图 8-1. 低侧电流检测应用中的 TLV904x

8.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

8.2.1.2 详细设计过程

方程式 1 提供了图 8-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 展示了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \tag{2}$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的电压降由 TLV904x 放大，从而产生大约 0V 至 4.9V 的输出电压。TLV904x 产生必要输出电压时所需的增益通过方程式 3 计算得出。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \tag{3}$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 TLV904x 的增益设置为 49V/V。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \tag{4}$$

选择 R_F 为 57.6kΩ，R_G 为 1.2kΩ 可提供等于 49V/V 的组合。图 8-2 展示了图 8-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的理想阻抗选择；您必须选择适合您的系统参数的阻抗。

8.2.1.3 应用曲线

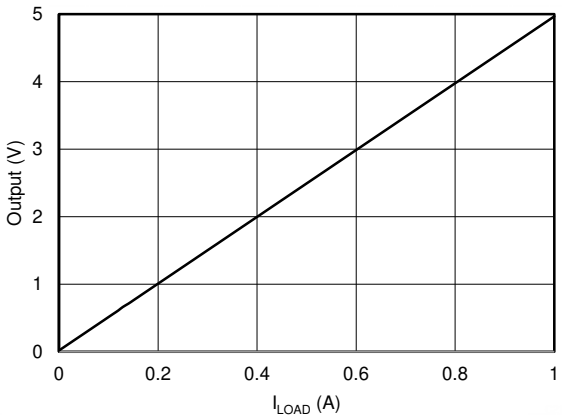


图 8-2. 低侧电流感测传递函数

Copyright © 2026 Texas Instruments Incorporated

8.3 电源相关建议

TLV904x 系列的额定工作范围为 1.2V 至 5.5V（±0.6V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。节 6.7 中介绍了可能会随工作电压或温度的变化而显著变化的参数。

小心

电源电压大于 6V 会对器件造成永久损坏；请参阅*绝对最大额定值*表。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅节 8.4.1。

8.4 布局

8.4.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器本身的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低 ESR 0.1µF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如图 8-4 中所示。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

8.4.2 布局示例

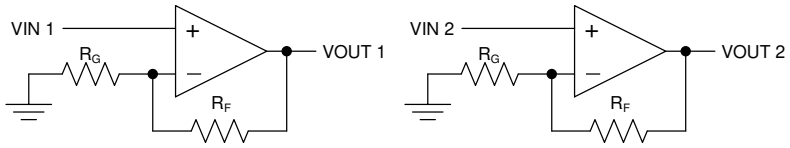


图 8-3. 原理图表示

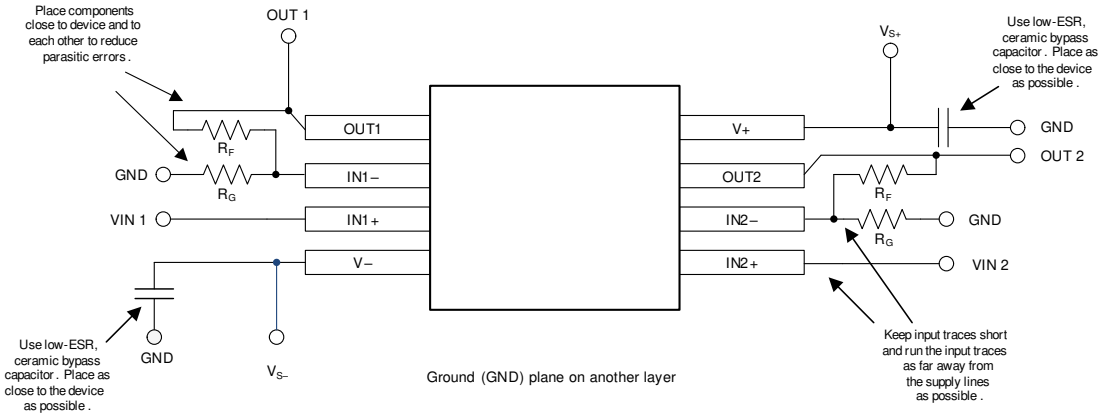


图 8-4. 布局示例

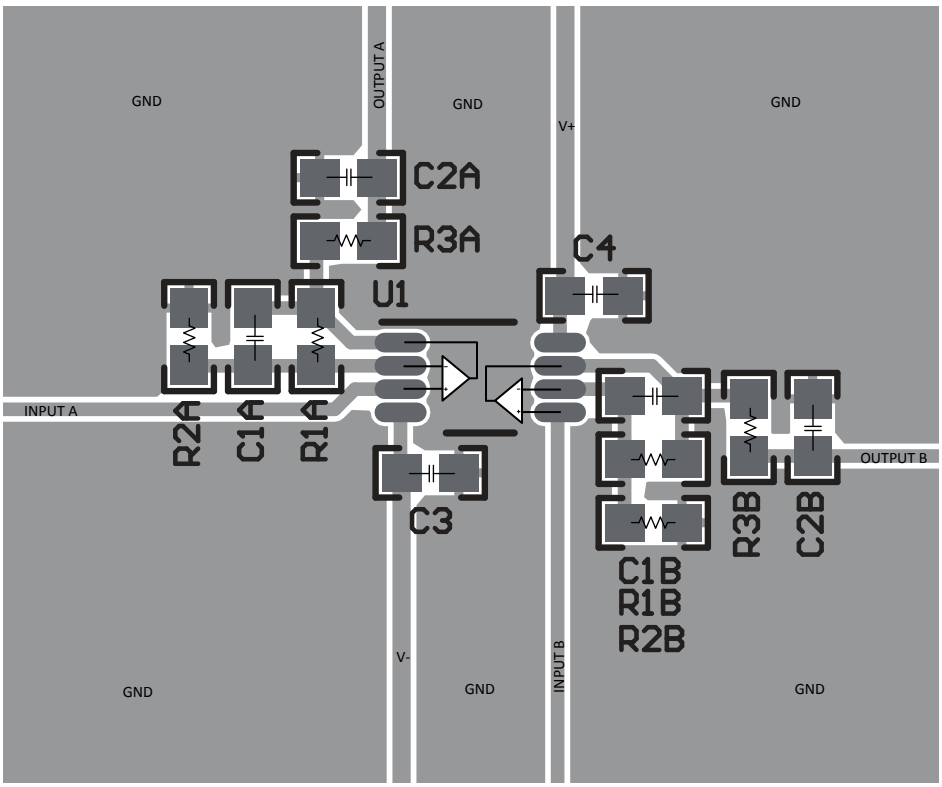


图 8-5. VSSOP-8 (DGK) 封装的布局示例

Copyright © 2026 Texas Instruments Incorporated

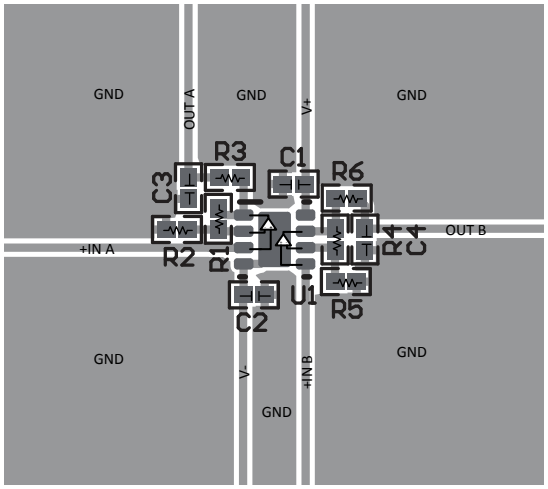


图 8-6. WSON-8 (DSG) 封装的布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比* 应用手册
- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用手册
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (March 2022) to Revision H (February 2026)	Page
• 更新了*特性* 部分，以介绍 TLV904xD 解补偿系列	1
• 将 ESD 充电器件模型 (CDM) 标准从 JESD22-C101 更改为 JS-002	7

Changes from Revision F (February 2022) to Revision G (March 2022)	Page
• 更新了 X2SON (5) RTM 的*器件信息* 部分	1
• 更新了 TLV9041IDPWR RTM 的*器件比较* 部分	3
• 在*单通道热性能信息* 部分中添加了 TLV9041 DPW 封装的热性能信息	7

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision E (August 2021) to Revision F (February 2022)	Page
• 更新了 TLV9044IDYYR RTM 的*器件比较* 部分	3
• 在*四通道热性能信息* 部分中添加了 TLV9044 DYY 封装的热性能信息	7

Changes from Revision D (August 2021) to Revision E (August 2021)	Page
• 在*双通道热性能信息* 部分中添加了 TLV9042 DGK 封装的热性能信息	7

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9041IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T041
TLV9041IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-1-260C-UNLIM	-40 to 125	1IV
TLV9041IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1IV
TLV9041IDPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(L, LE)
TLV9041IDPWR.A	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(L, LE)
TLV9041IDPWRG4	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L
TLV9041IDPWRG4.A	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L
TLV9041SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041SIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T41S
TLV9041UIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U041
TLV9041UIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	U041
TLV9042IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T042
TLV9042IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T042
TLV9042IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2H7T
TLV9042IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H7T
TLV9042IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042D
TLV9042IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042D
TLV9042IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T42G
TLV9042IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	T42G
TLV9042IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042P
TLV9042IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9042P
TLV9042SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HTF
TLV9042SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	HTF

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9044IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9044D
TLV9044IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9044D
TLV9044IDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL944DYY
TLV9044IDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL944DYY
TLV9044IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9044PW
TLV9044IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9044PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9044 :

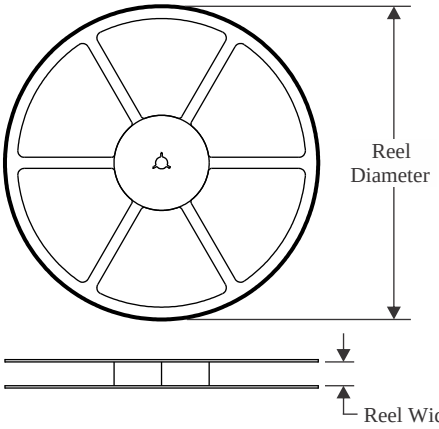
- Automotive : TLV9044-Q1

NOTE: Qualified Version Definitions:

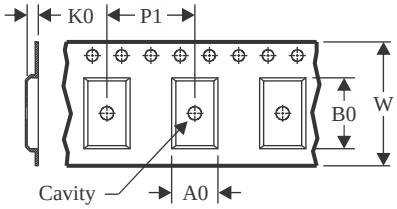
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

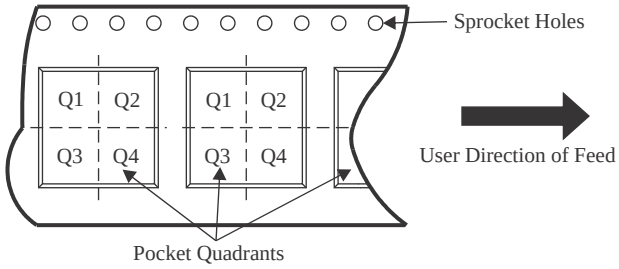


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

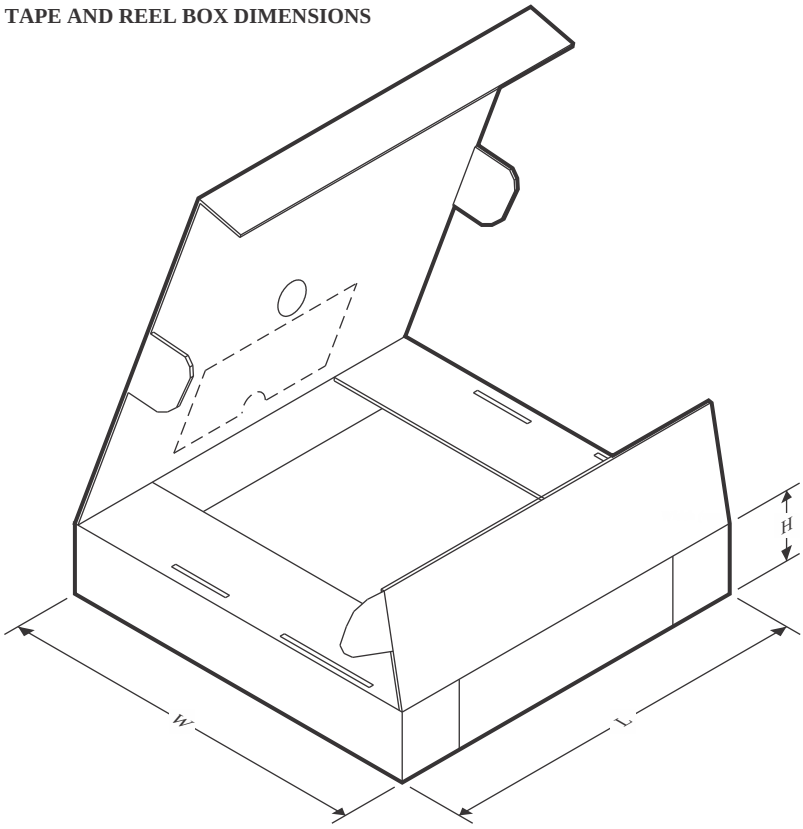


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9041IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041IDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV9041IDPWR	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9041IDPWRG4	X2SON	DPW	5	3000	180.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9041SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041SIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041UIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9042IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9042IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9042IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9042IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9042IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9042IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9042SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9044IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9044IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9044IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9044IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

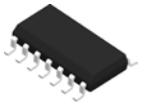
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9041IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV9041IDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9041IDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV9041IDPWR	X2SON	DPW	5	3000	210.0	185.0	35.0
TLV9041IDPWRG4	X2SON	DPW	5	3000	210.0	185.0	35.0
TLV9041SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9041SIDBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9041UIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9042IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9042IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9042IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9042IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV9042IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9042IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV9042SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0
TLV9044IDR	SOIC	D	14	2500	353.0	353.0	32.0
TLV9044IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9044IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9044IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0

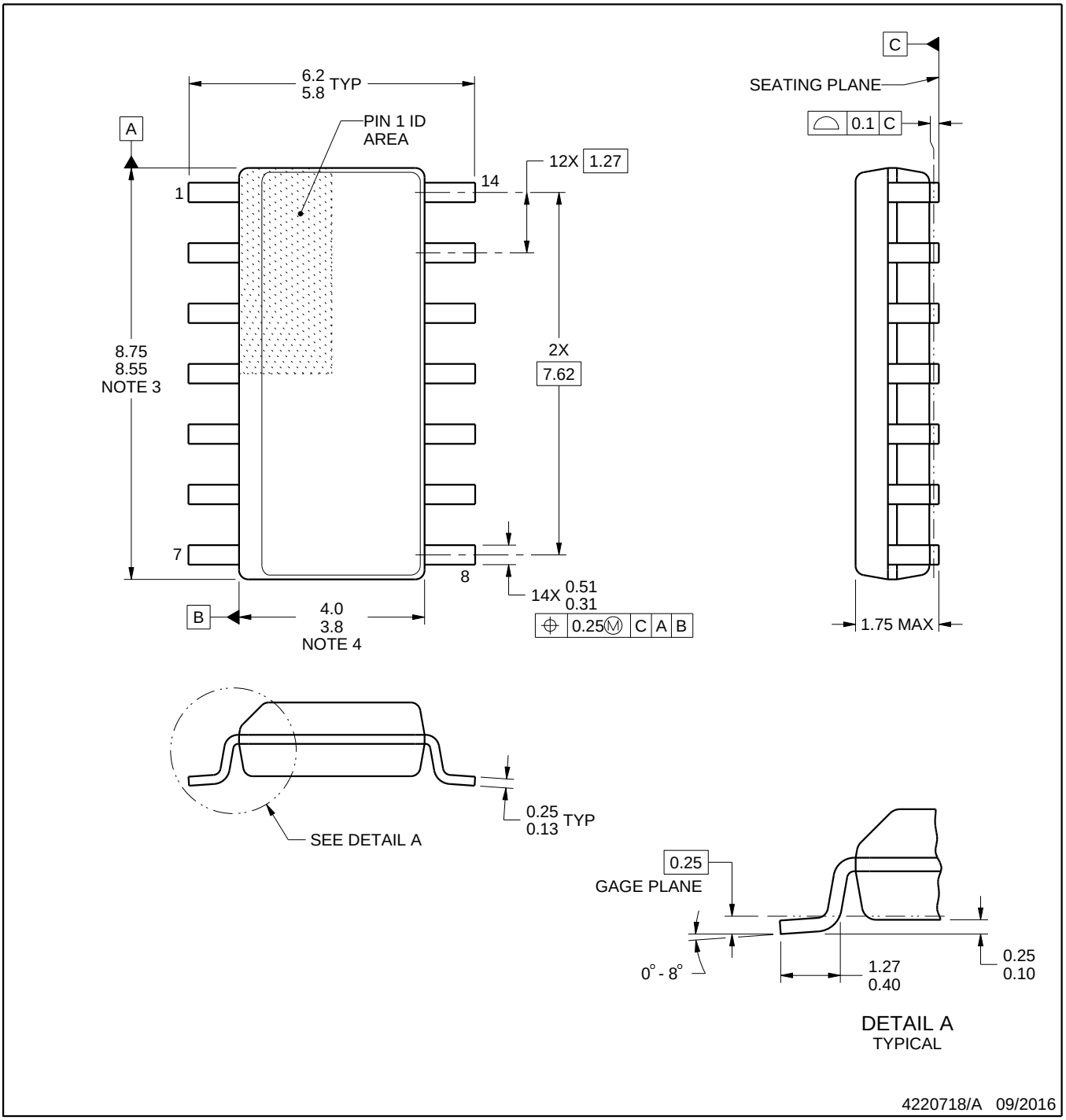


PACKAGE OUTLINE

D0014A

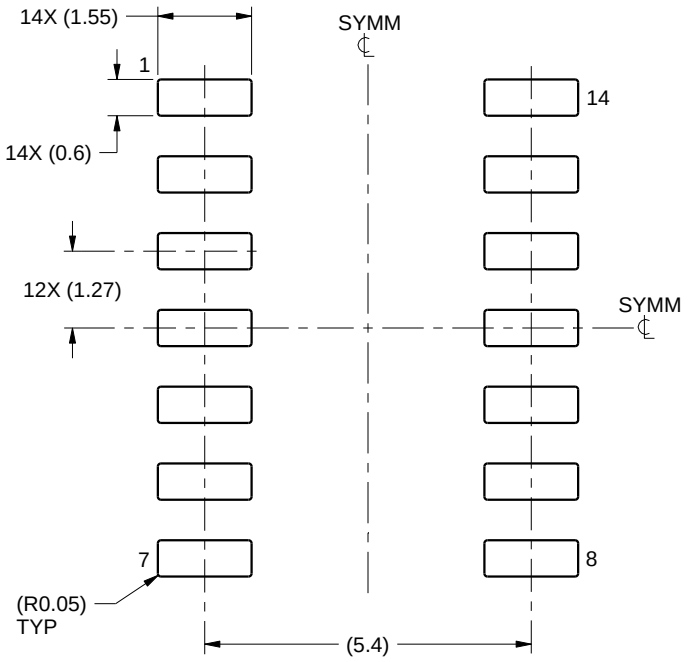
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

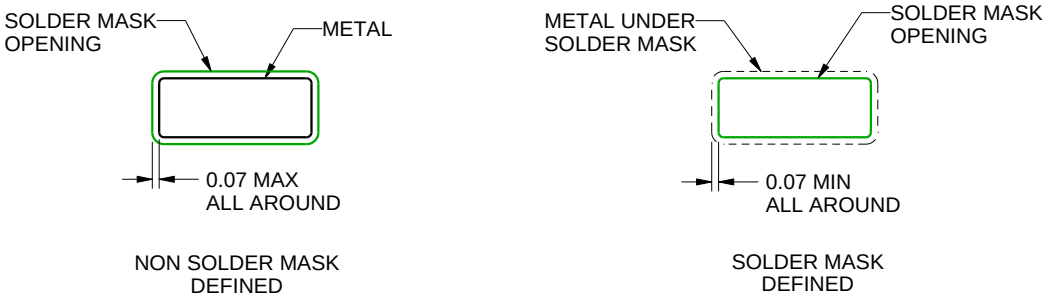


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

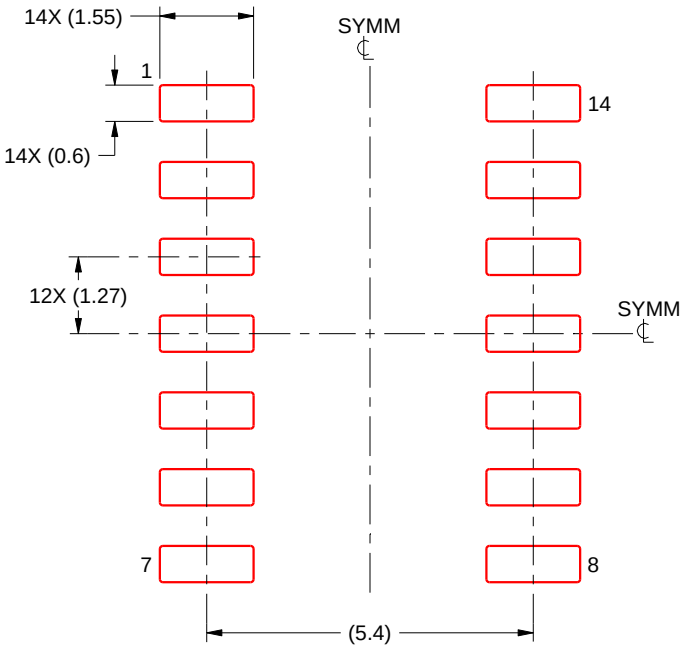
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

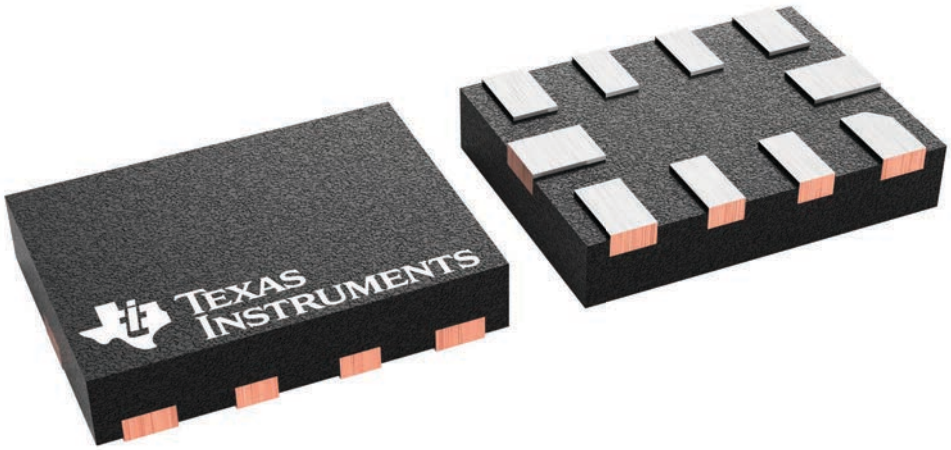
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



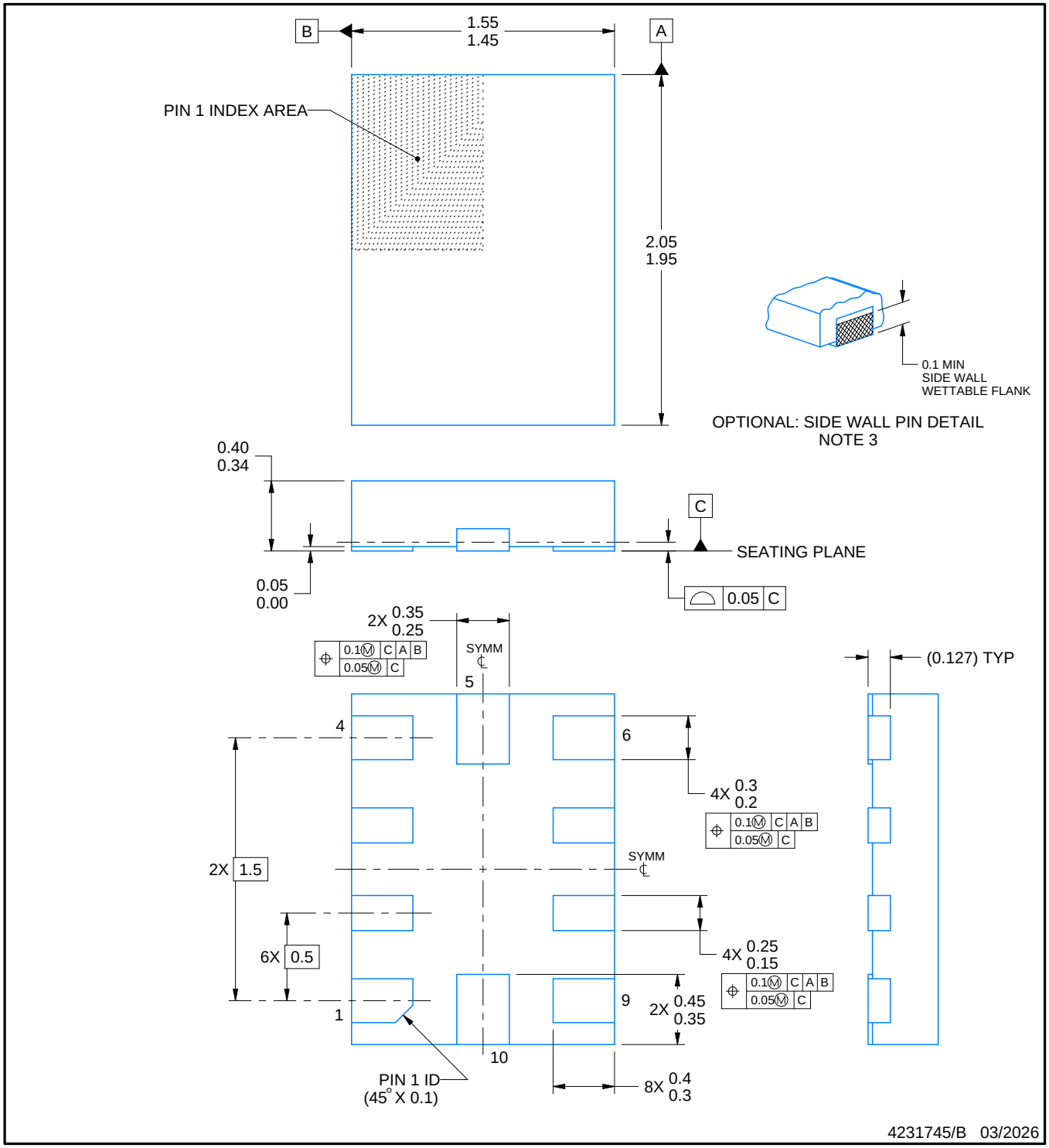
4231768/A

RUG0010A

PACKAGE OUTLINE

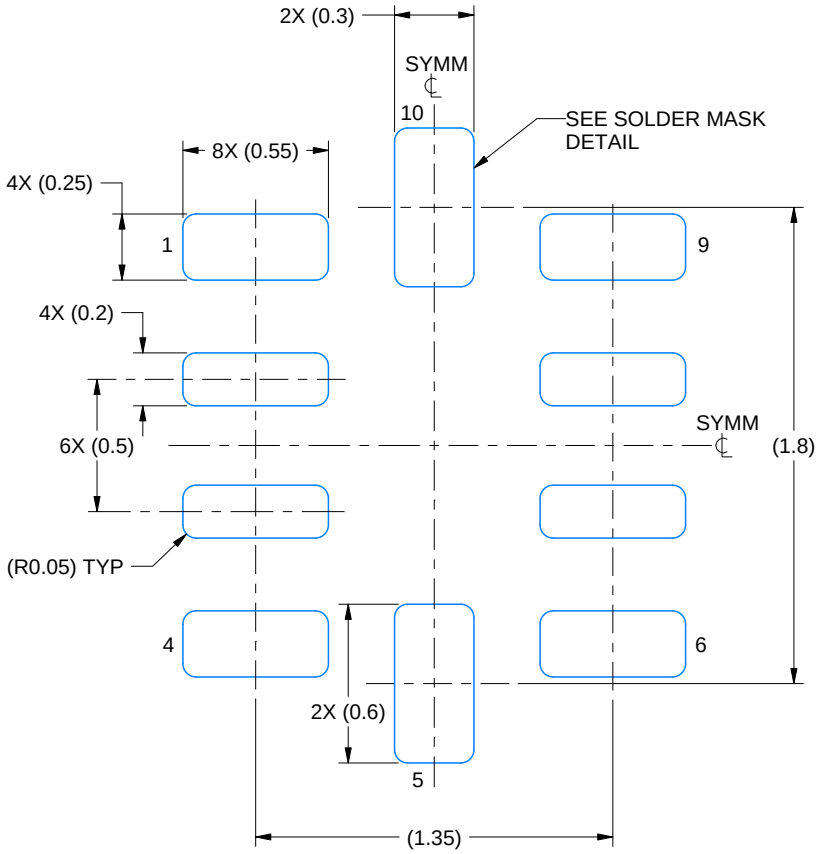
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

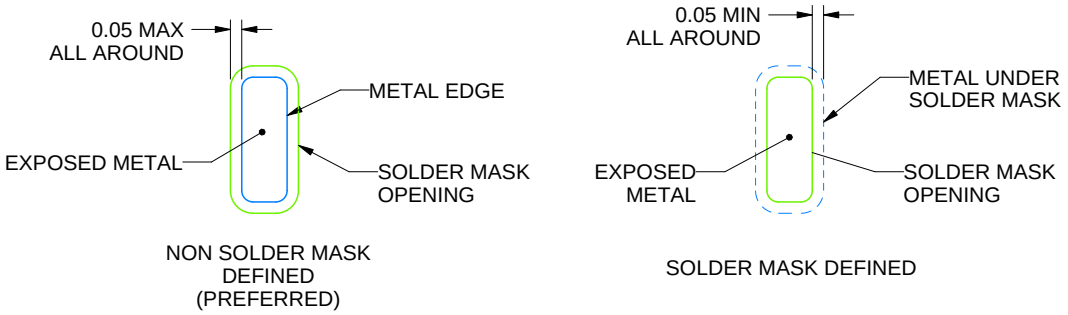


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X

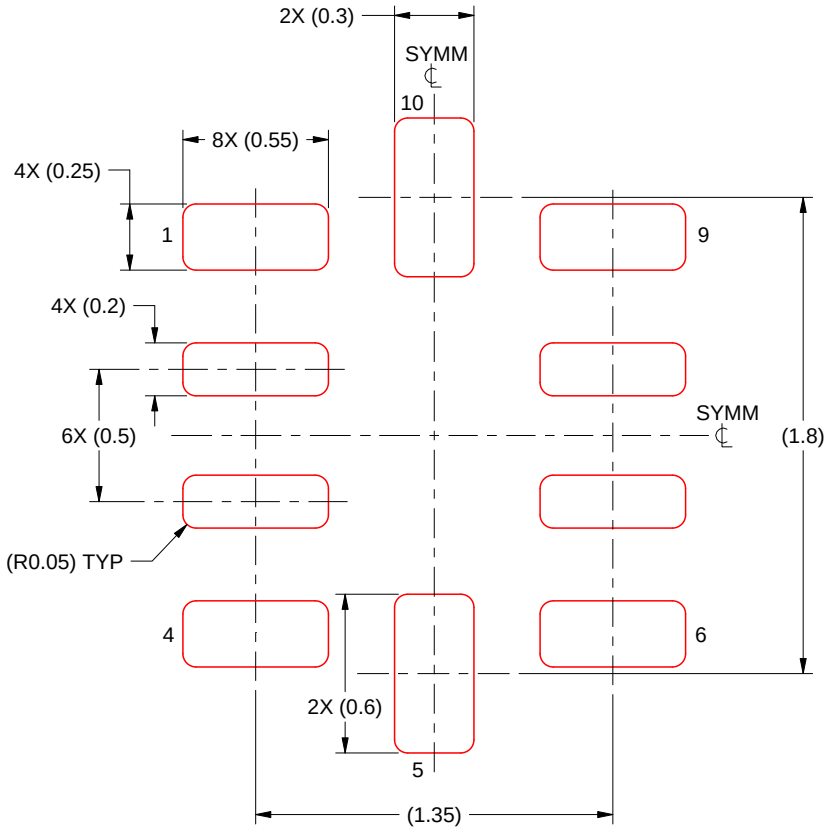


SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

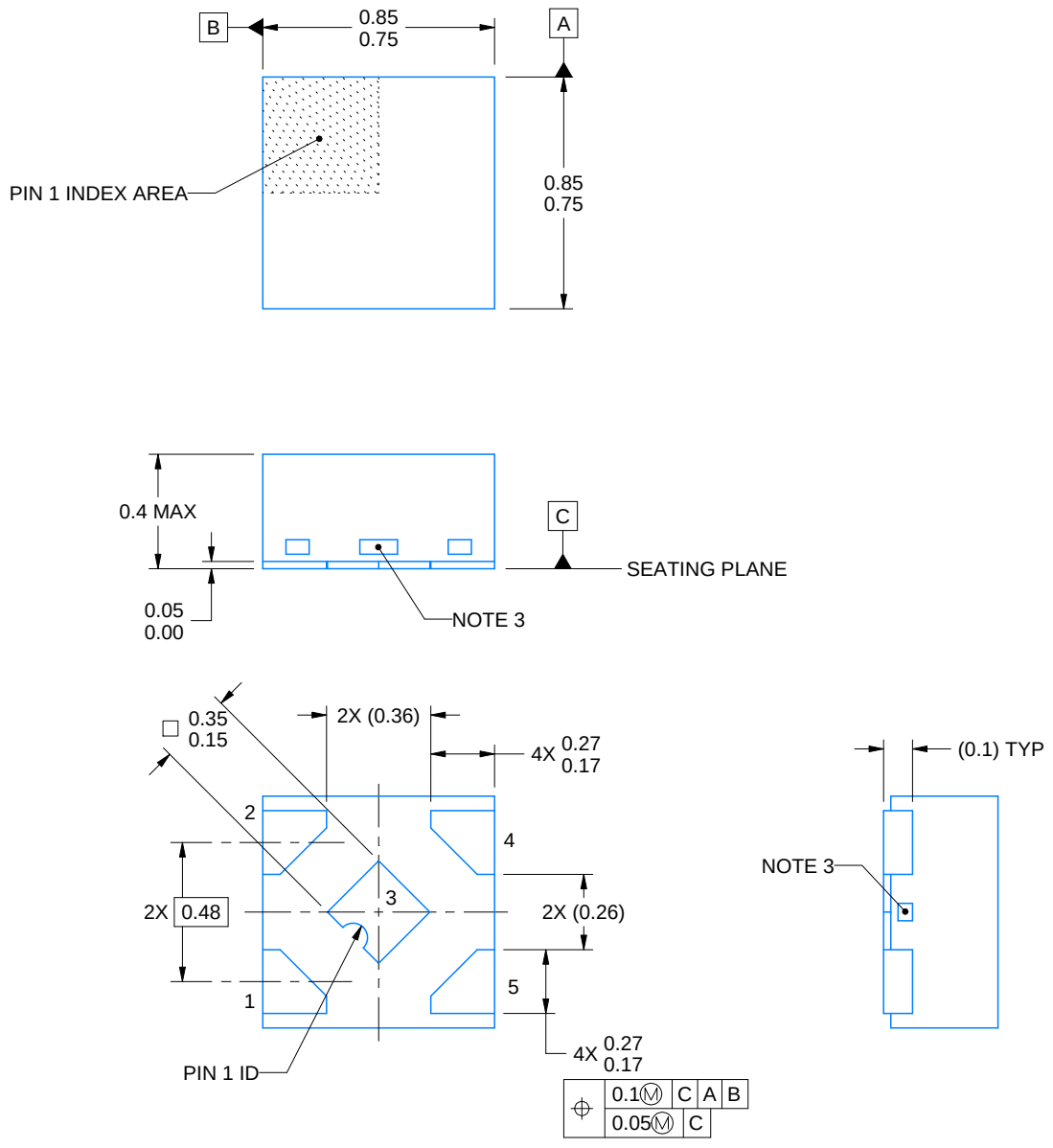
4211218-3/D

PACKAGE OUTLINE

DPW0005B

X2SON - 0.4 mm max height

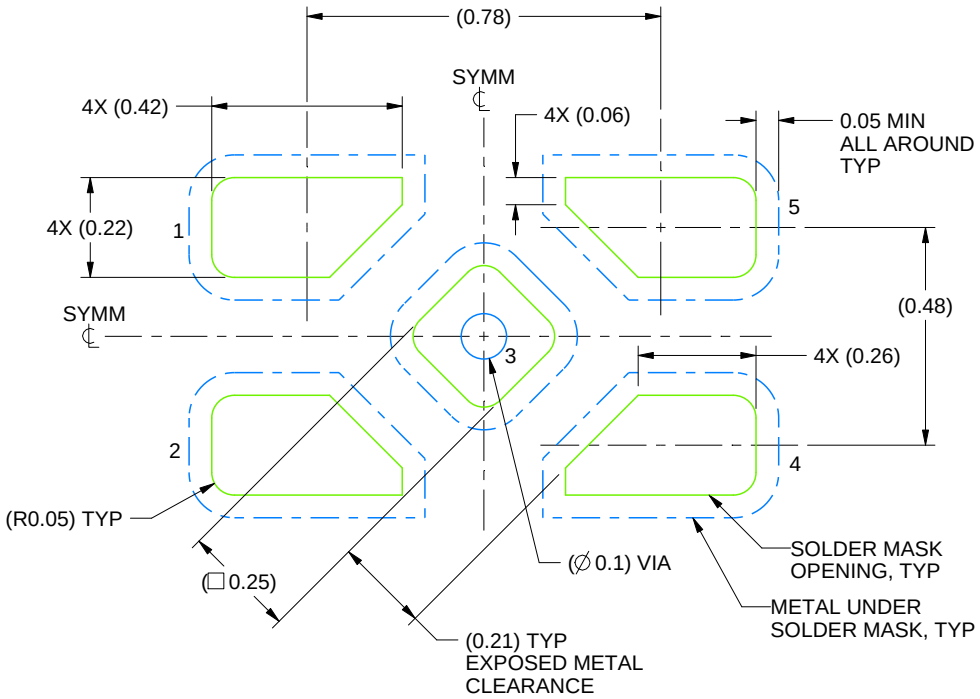
PLASTIC SMALL OUTLINE - NO LEAD



4228233/D 09/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

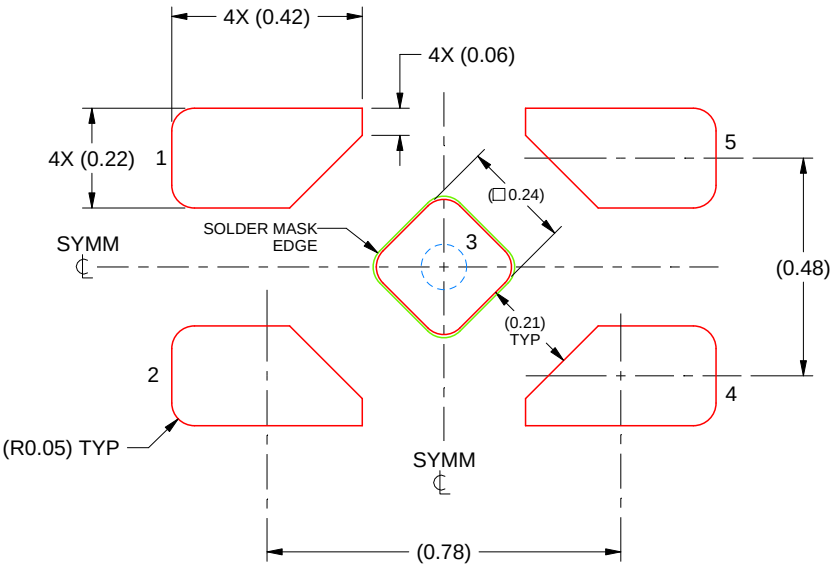


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

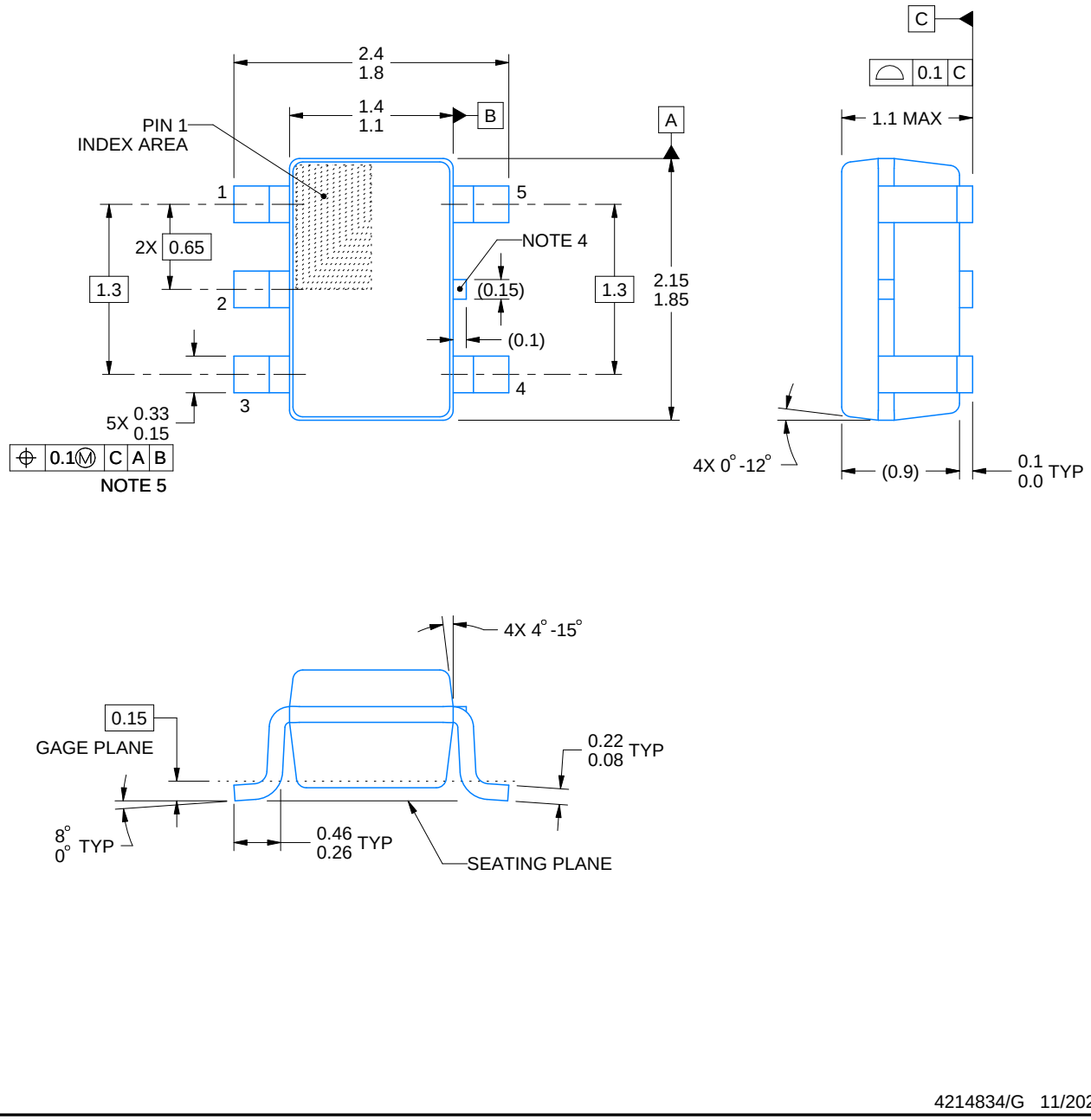
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

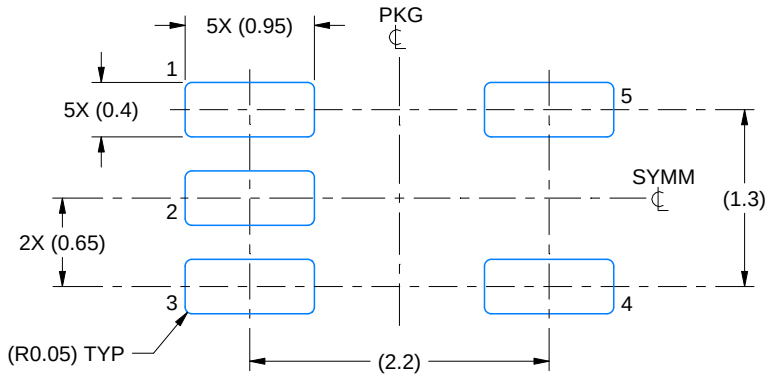
SMALL OUTLINE TRANSISTOR



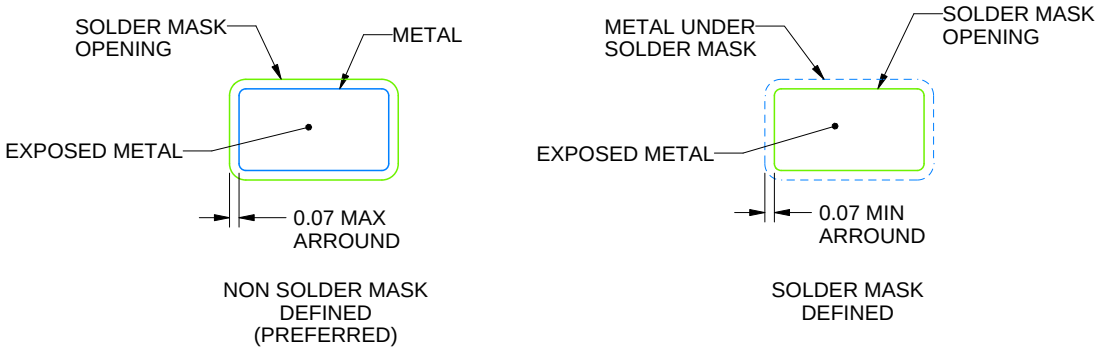
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

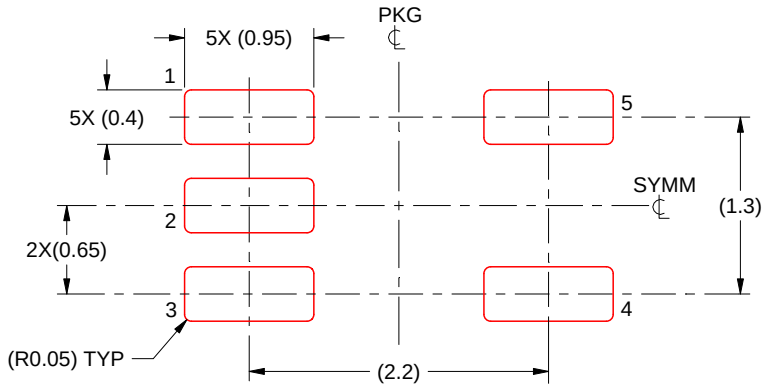


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

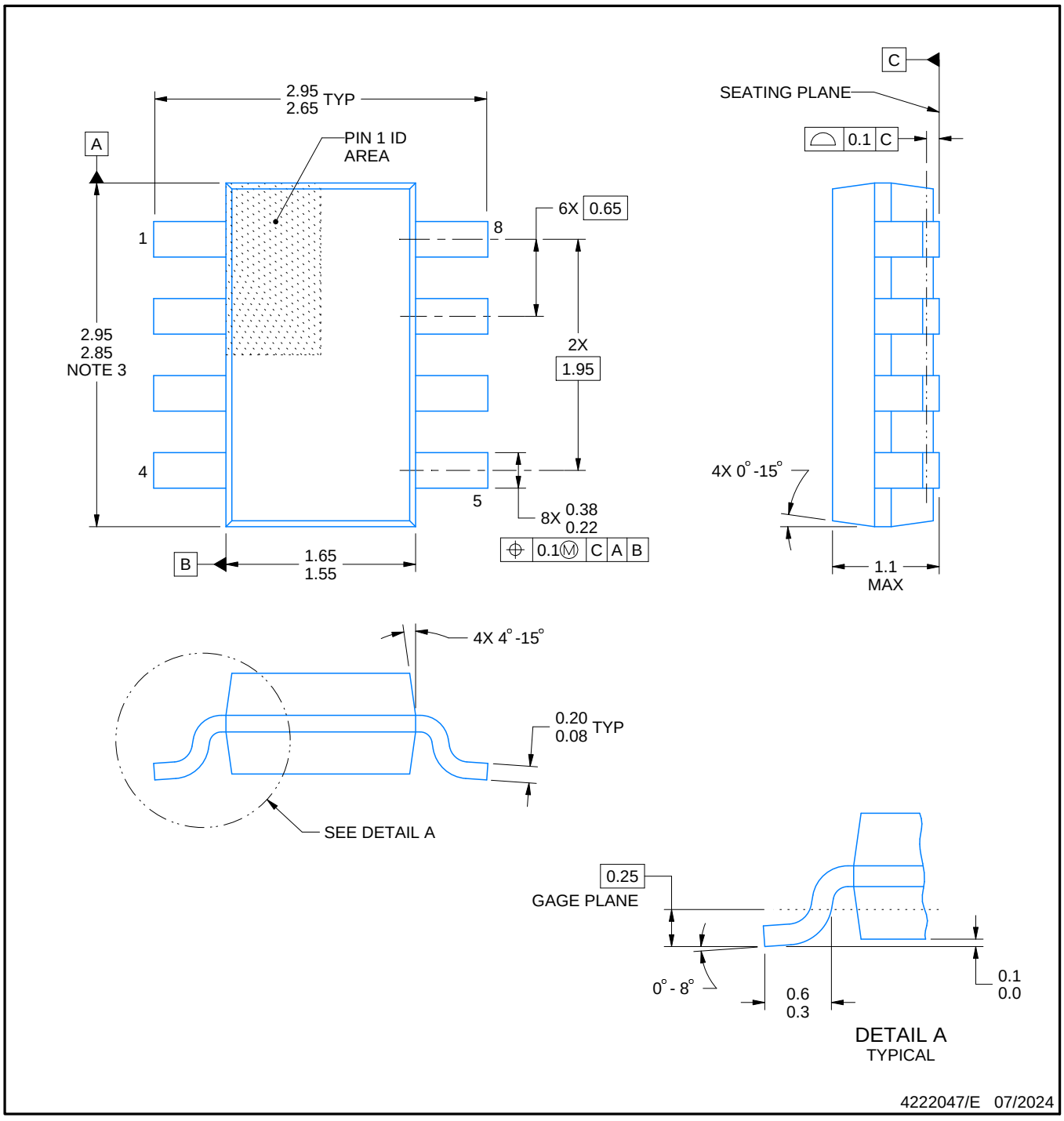
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

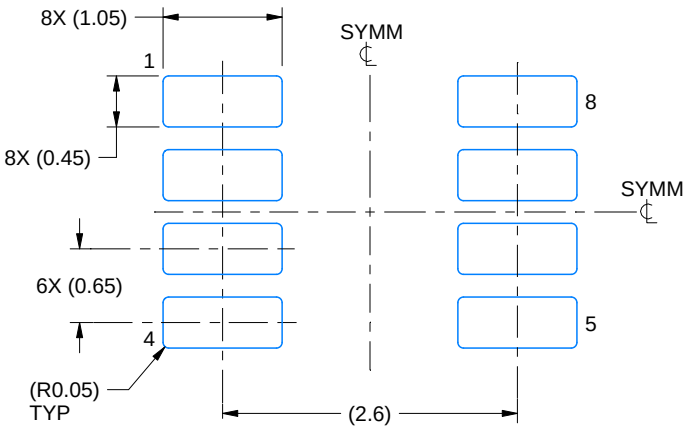
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

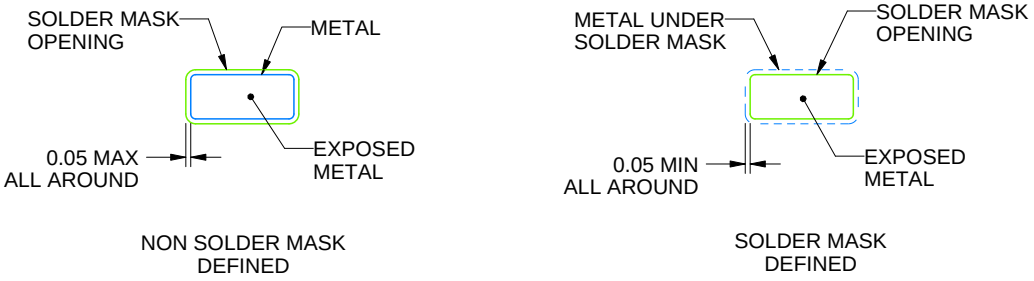


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

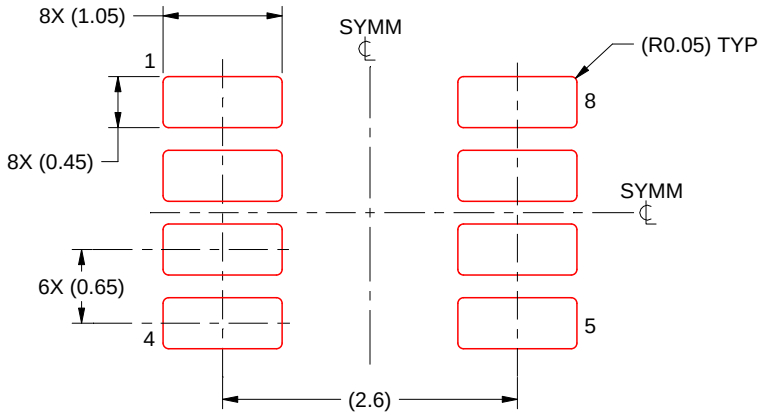


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

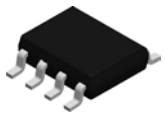


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

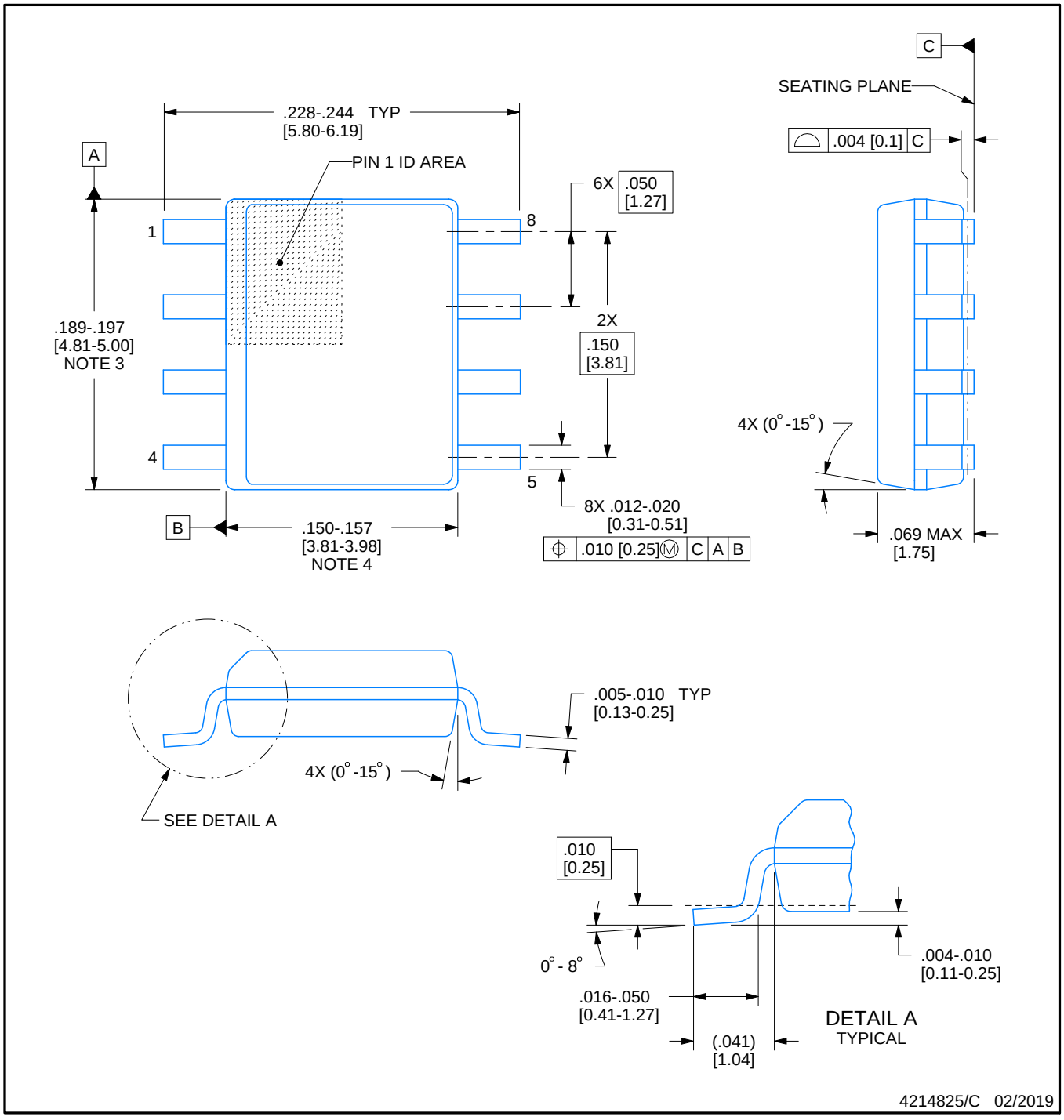


PACKAGE OUTLINE

D0008A

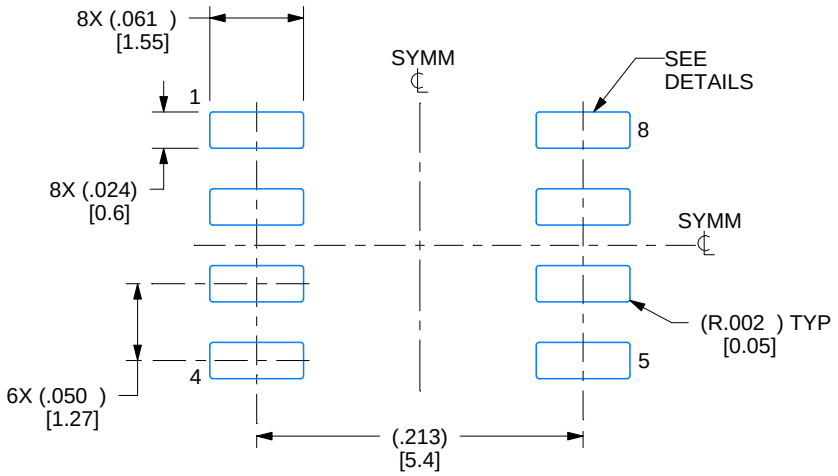
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

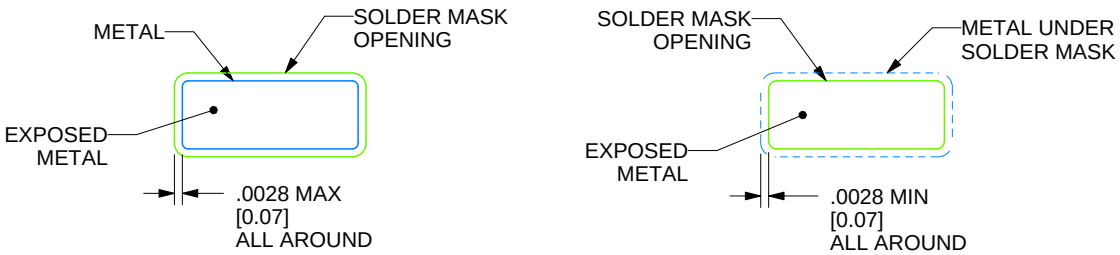


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

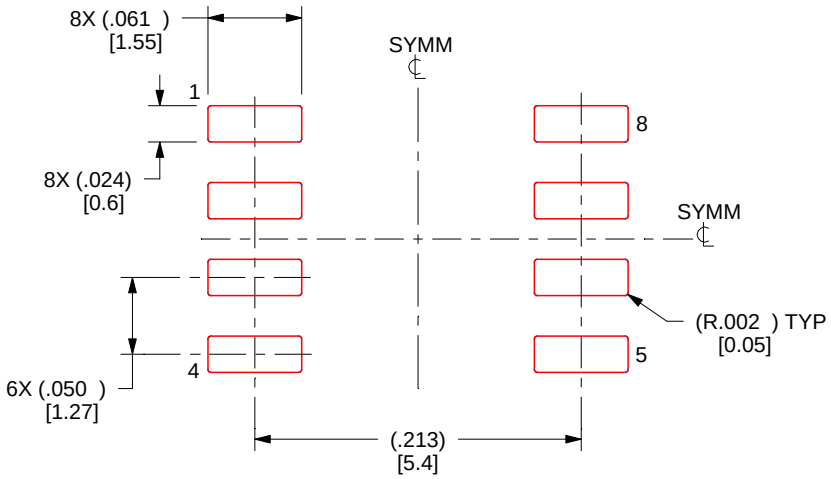
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

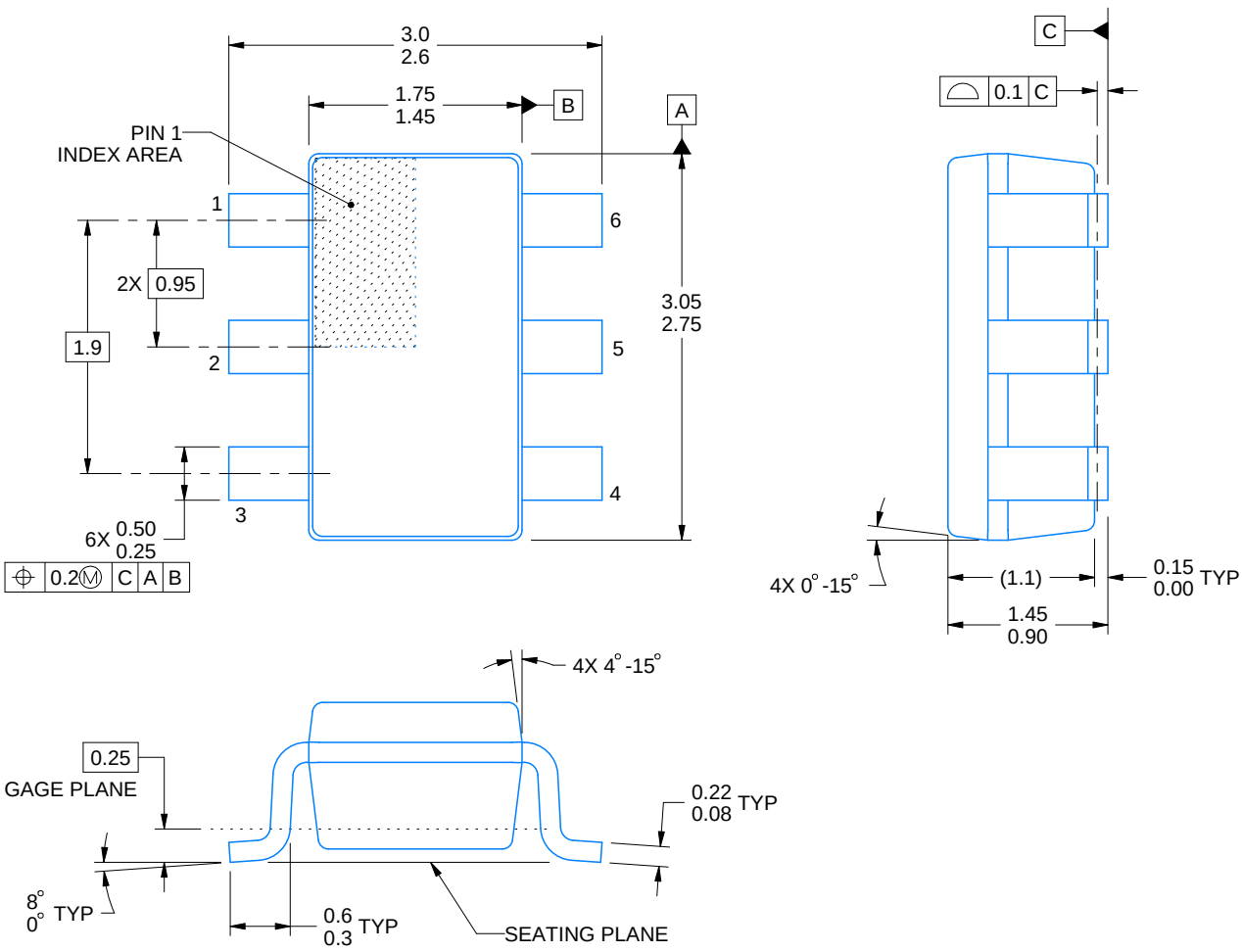
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

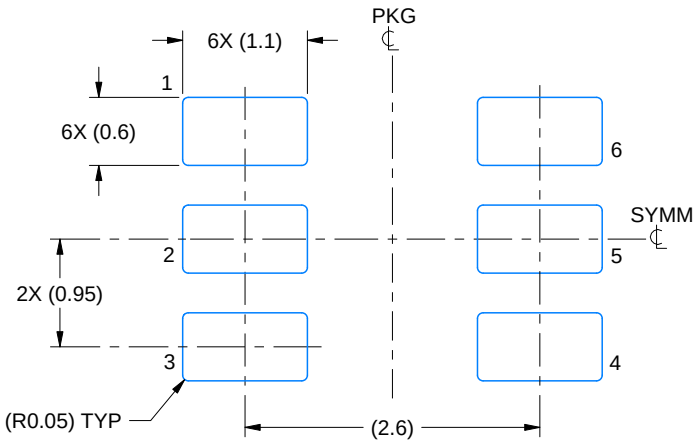
SMALL OUTLINE TRANSISTOR



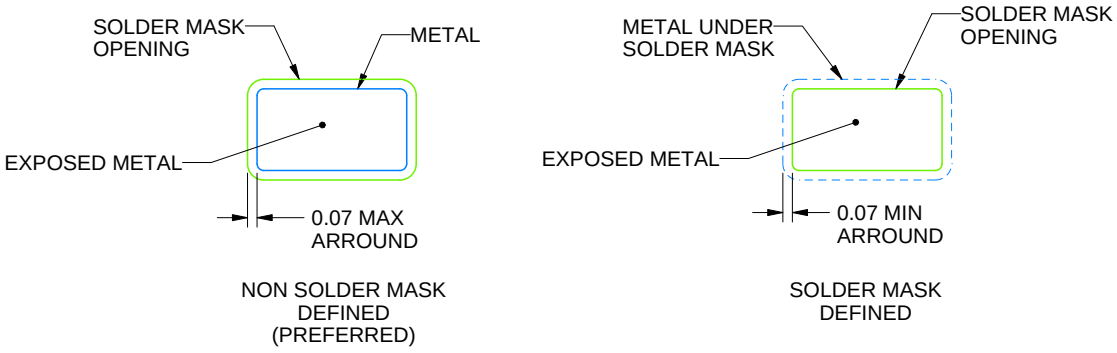
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

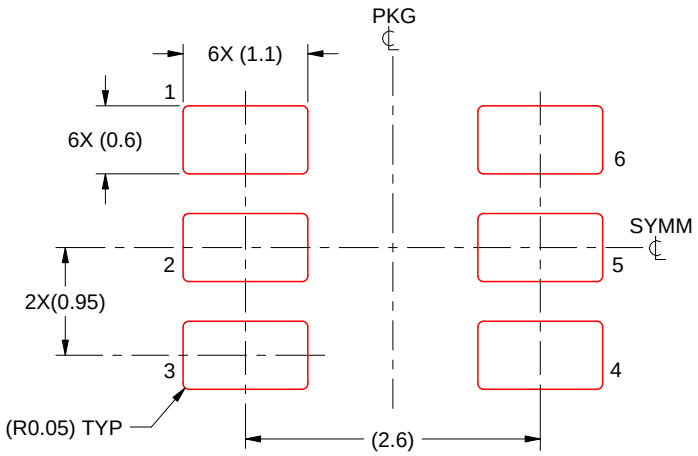


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

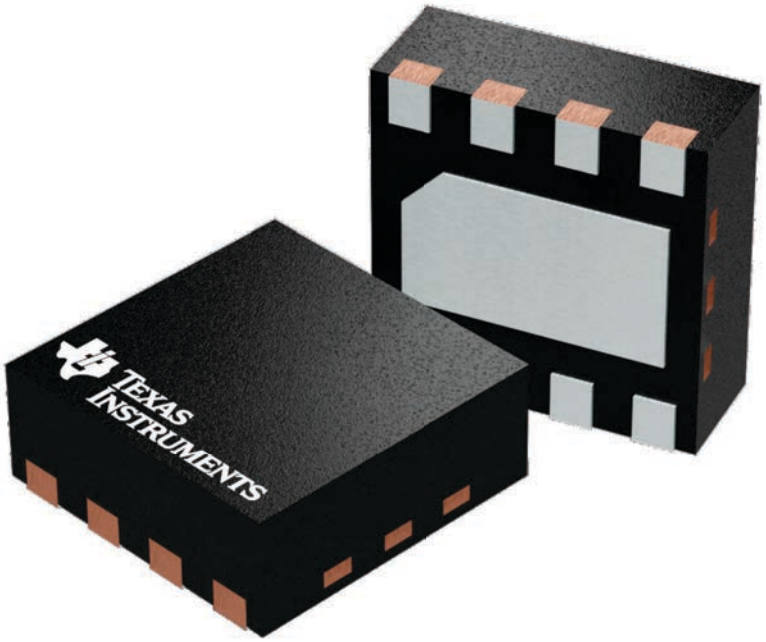
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



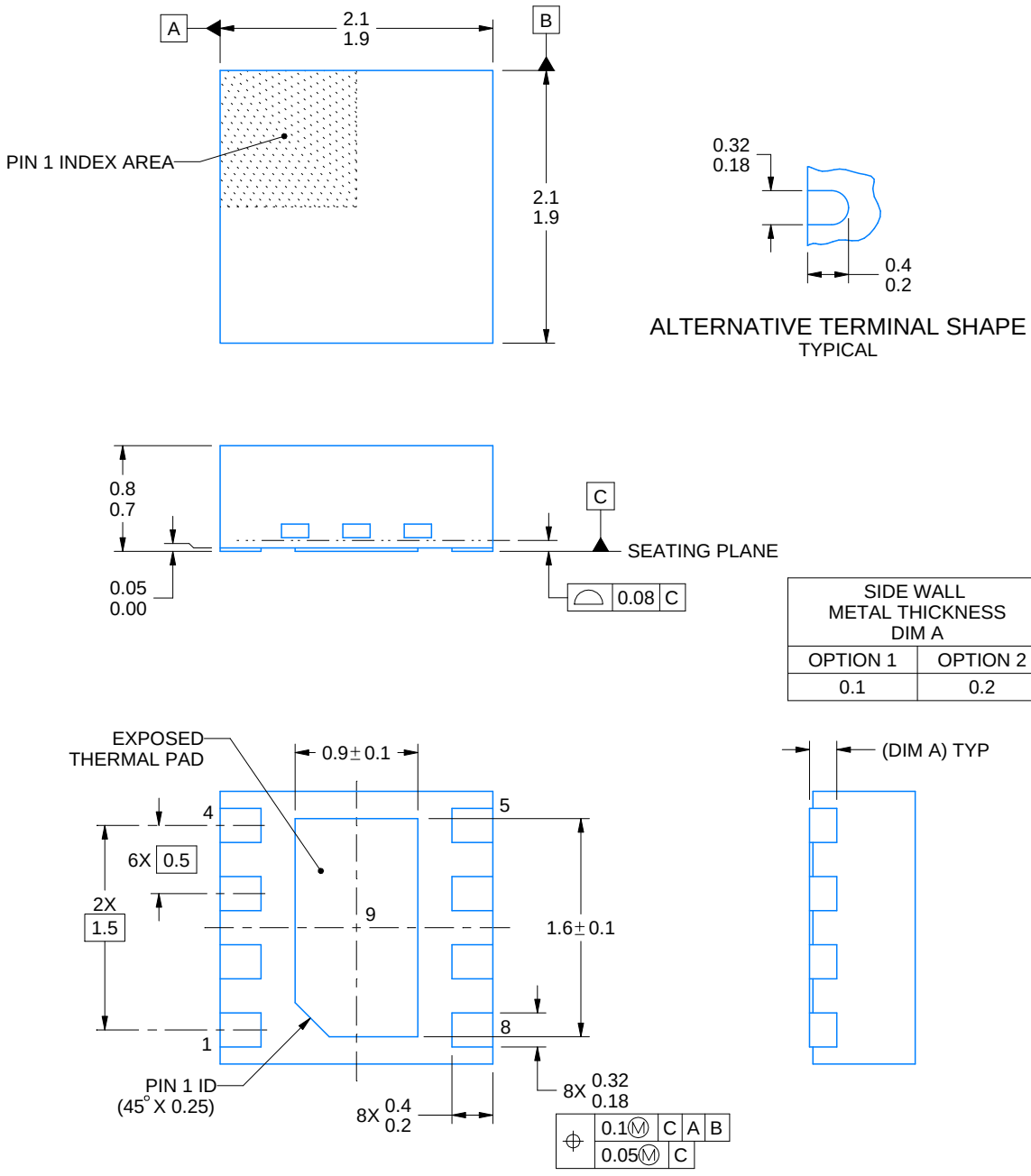
4224783/A

DSG0008A

PACKAGE OUTLINE

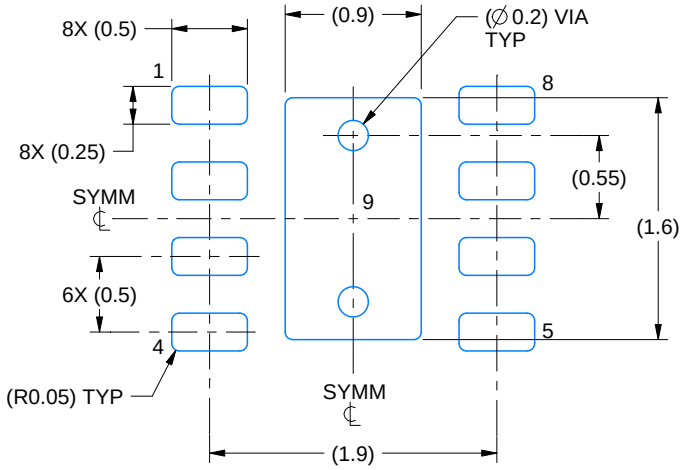
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

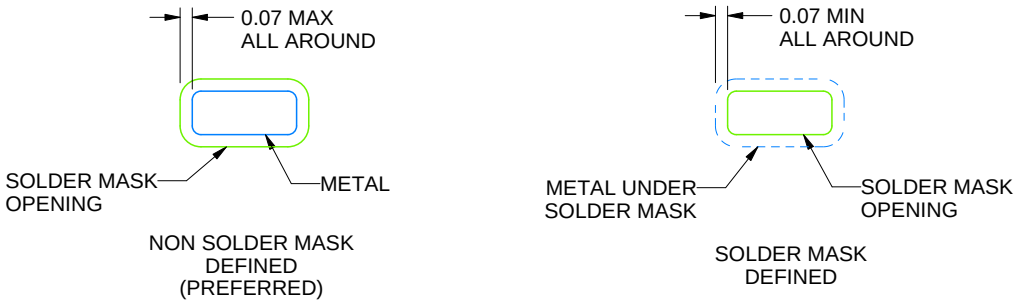


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

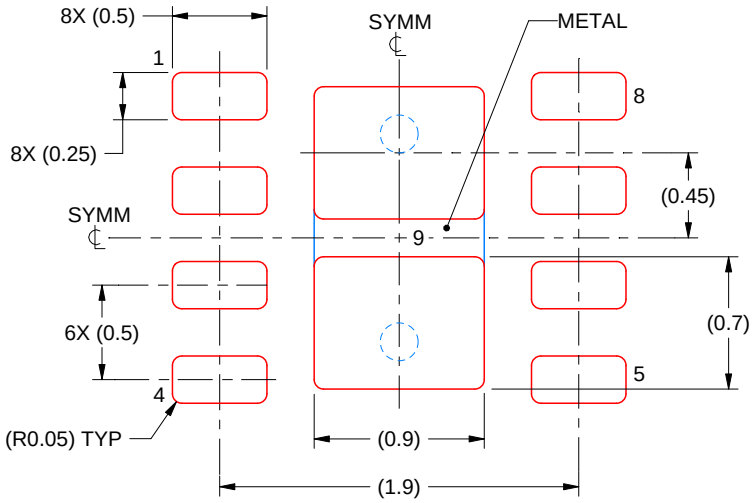


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

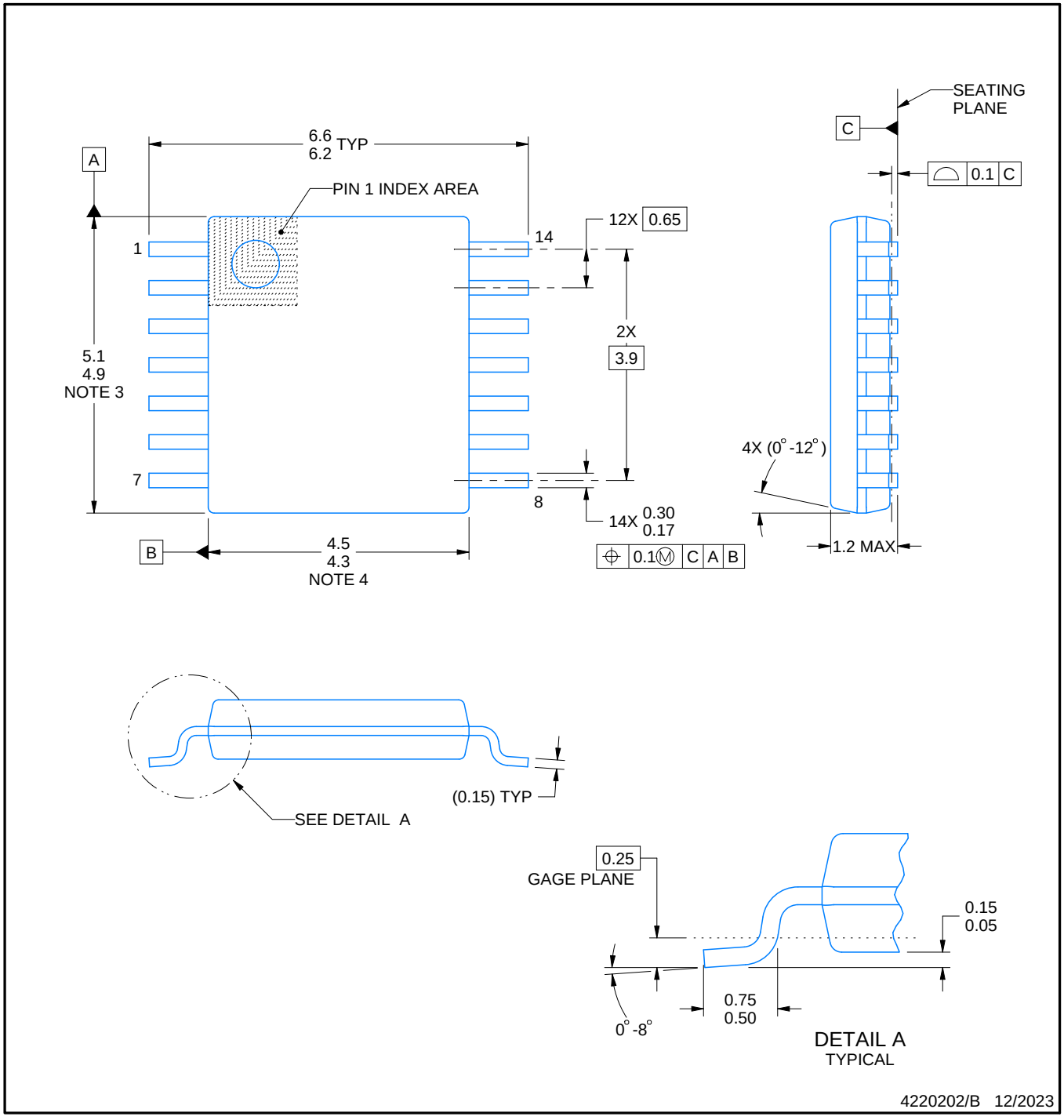
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

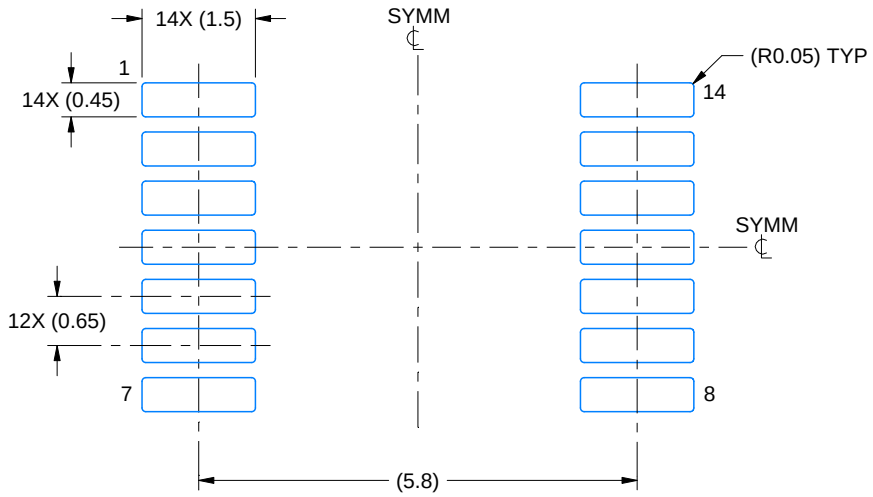
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

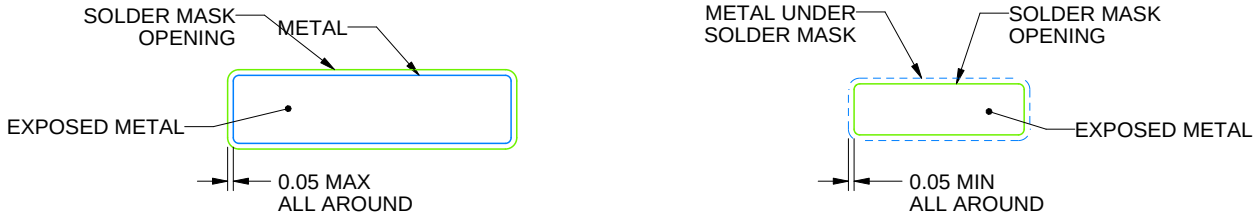


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

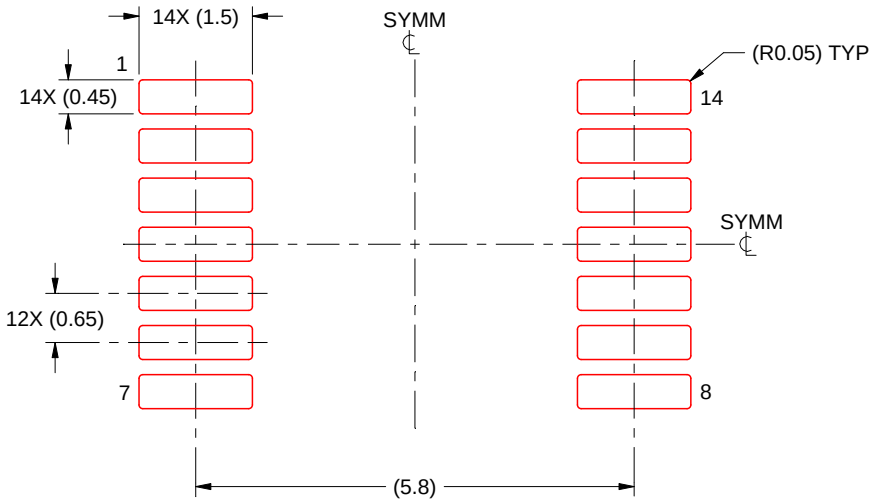


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

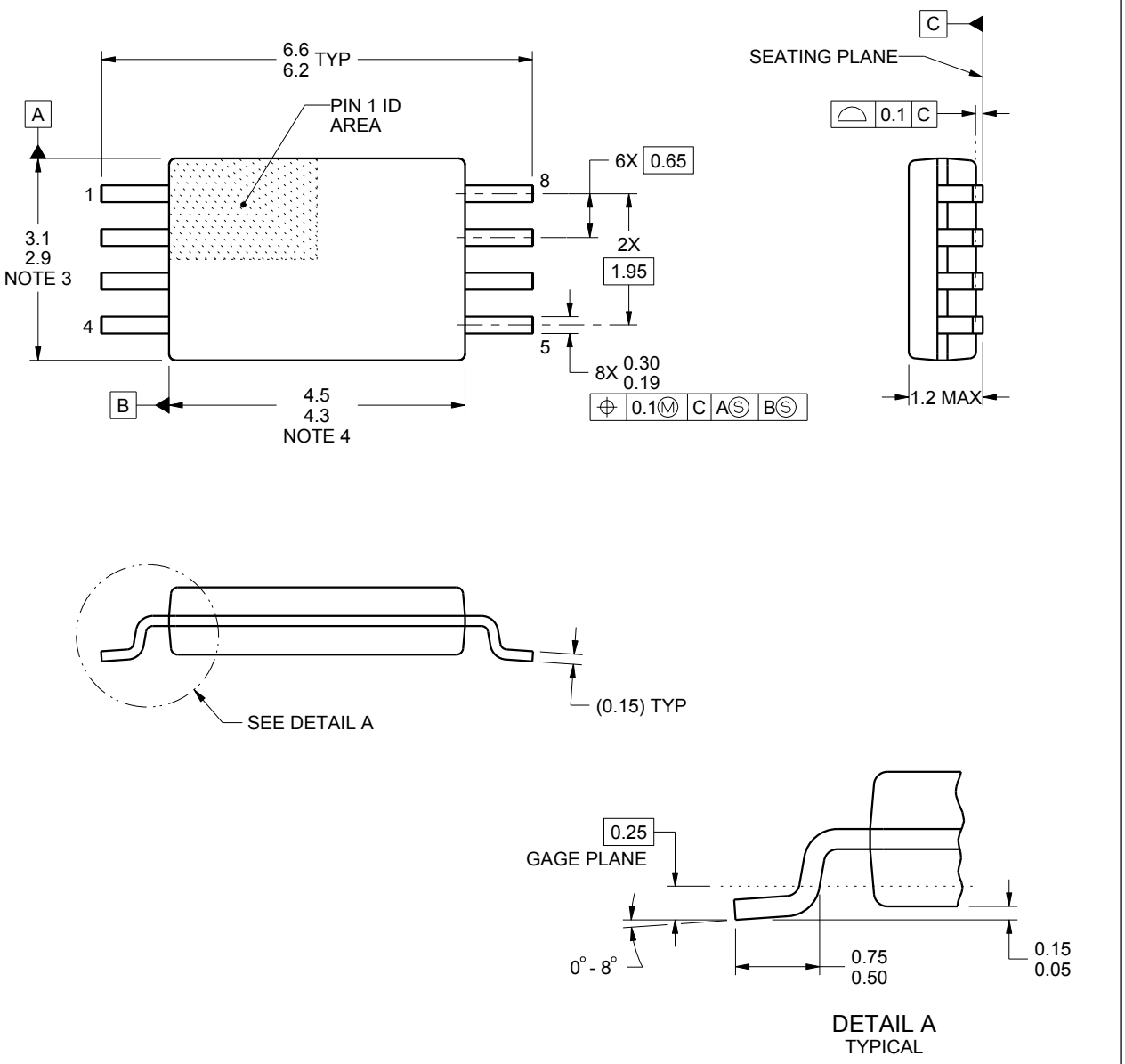
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

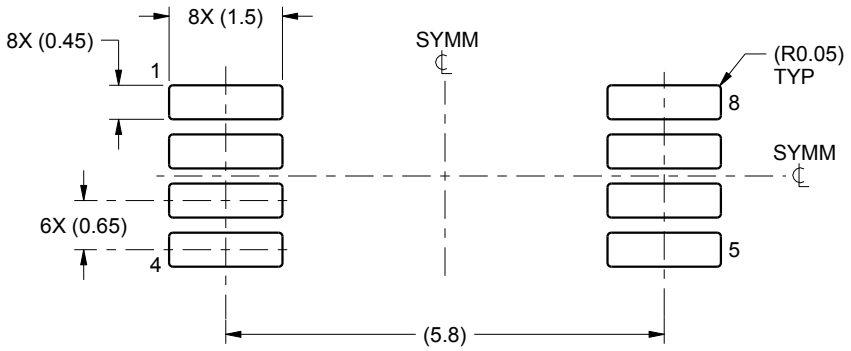
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

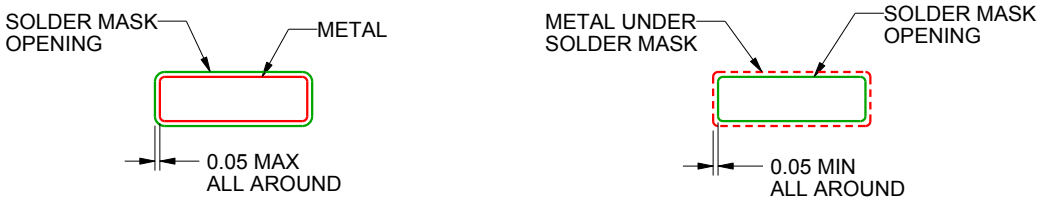


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

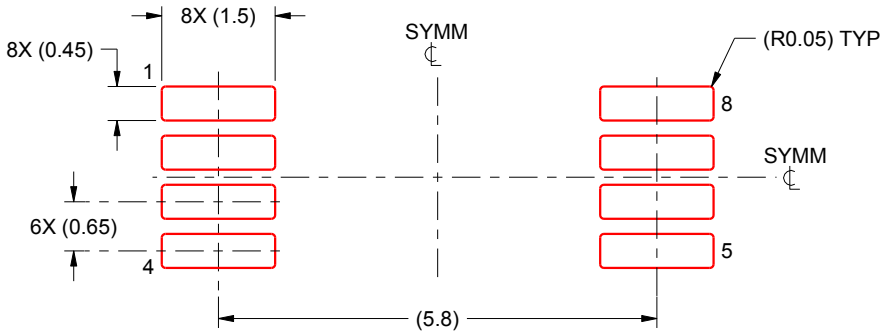


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

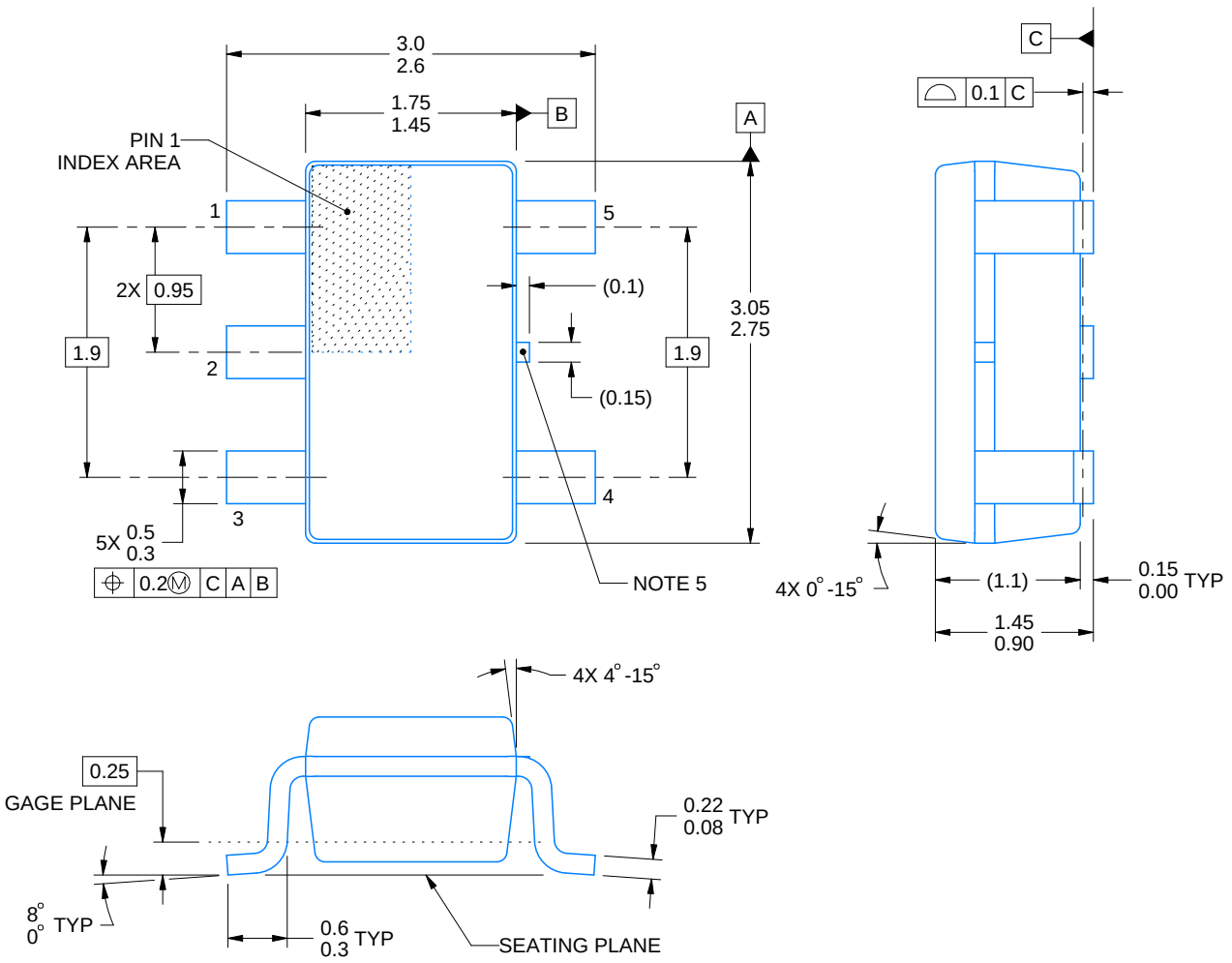
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

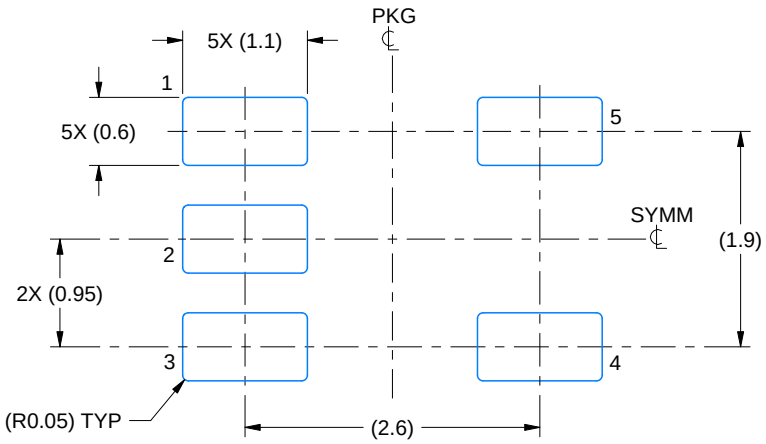
SMALL OUTLINE TRANSISTOR



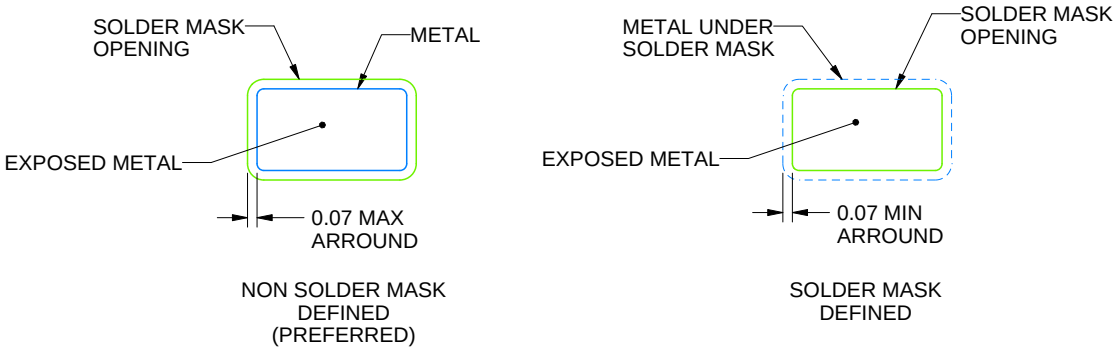
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

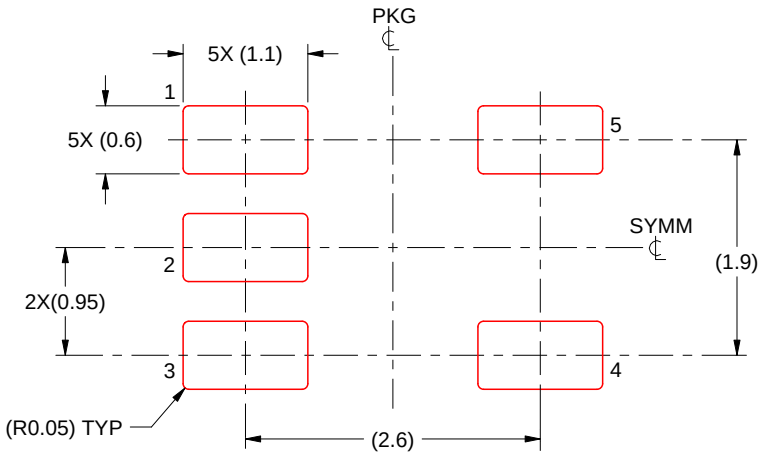


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

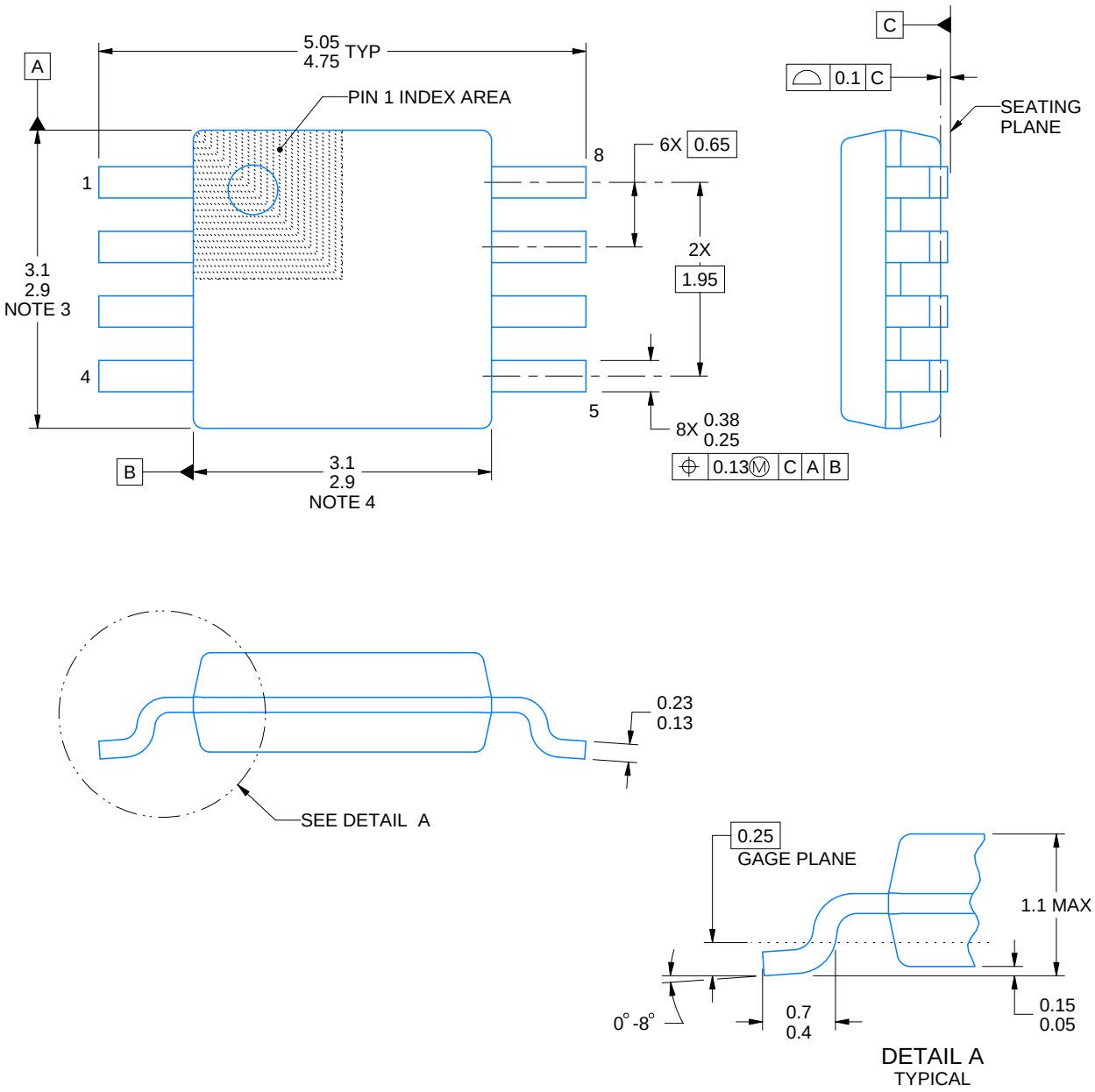
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

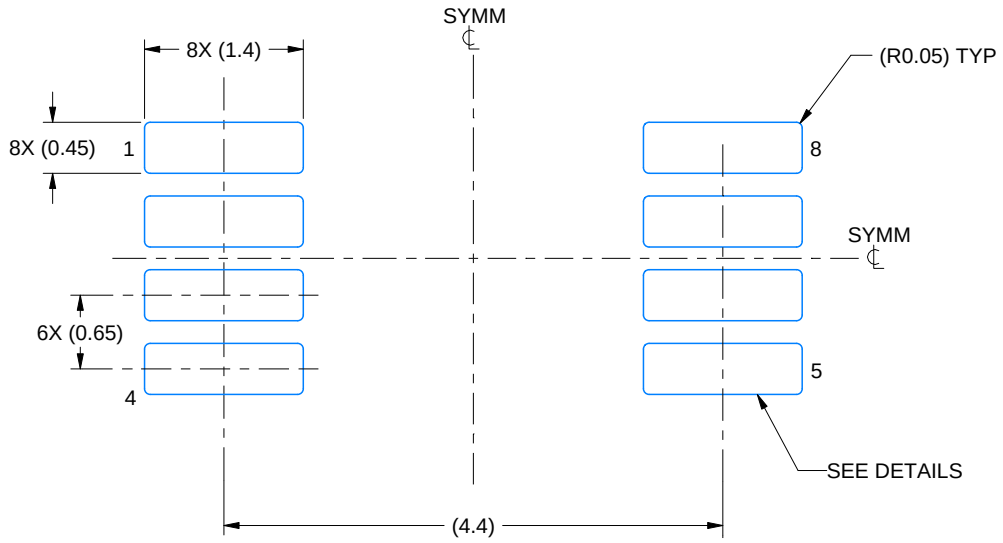
SMALL OUTLINE PACKAGE



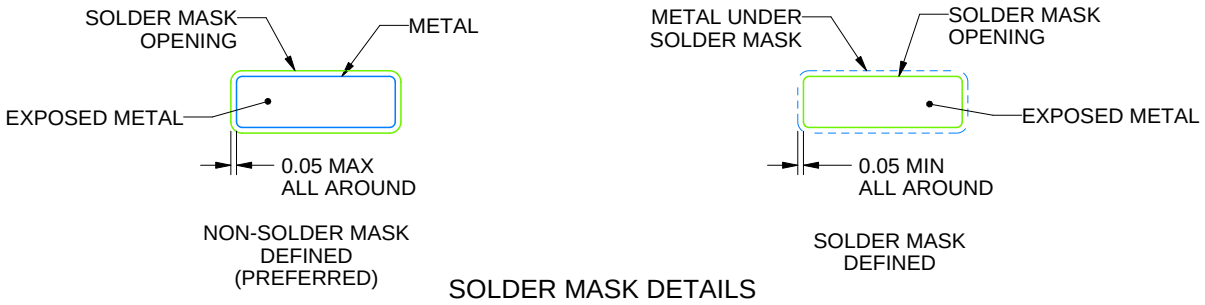
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

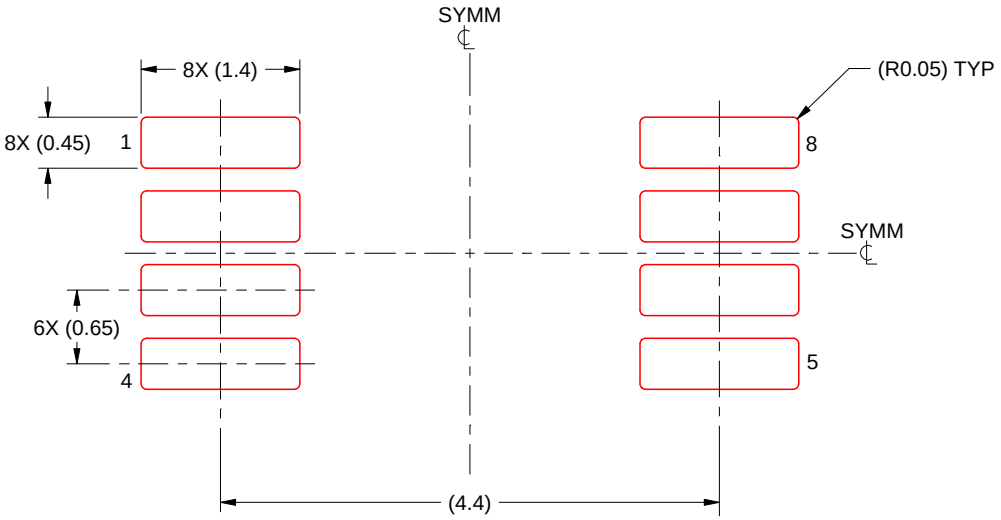


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

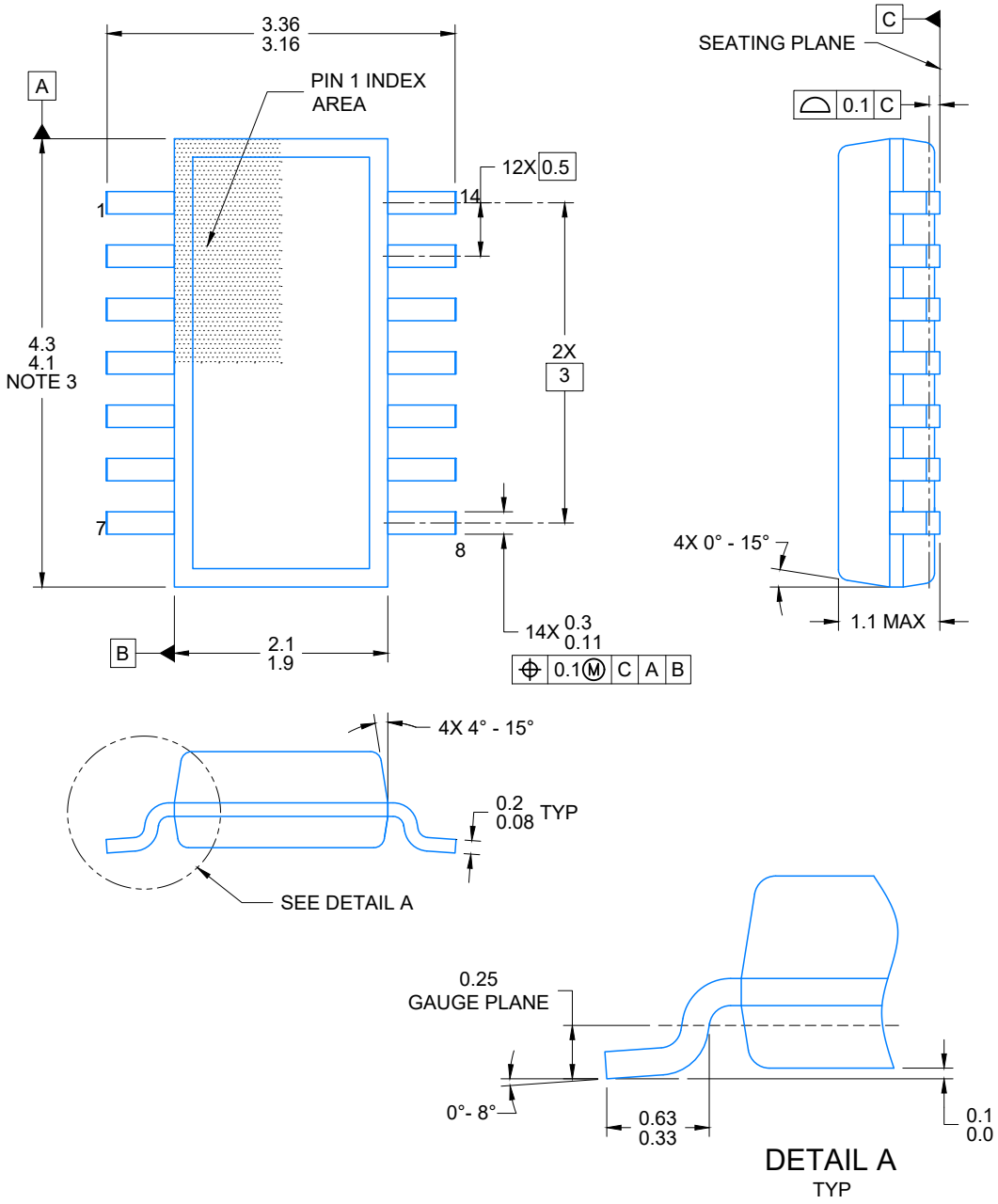
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

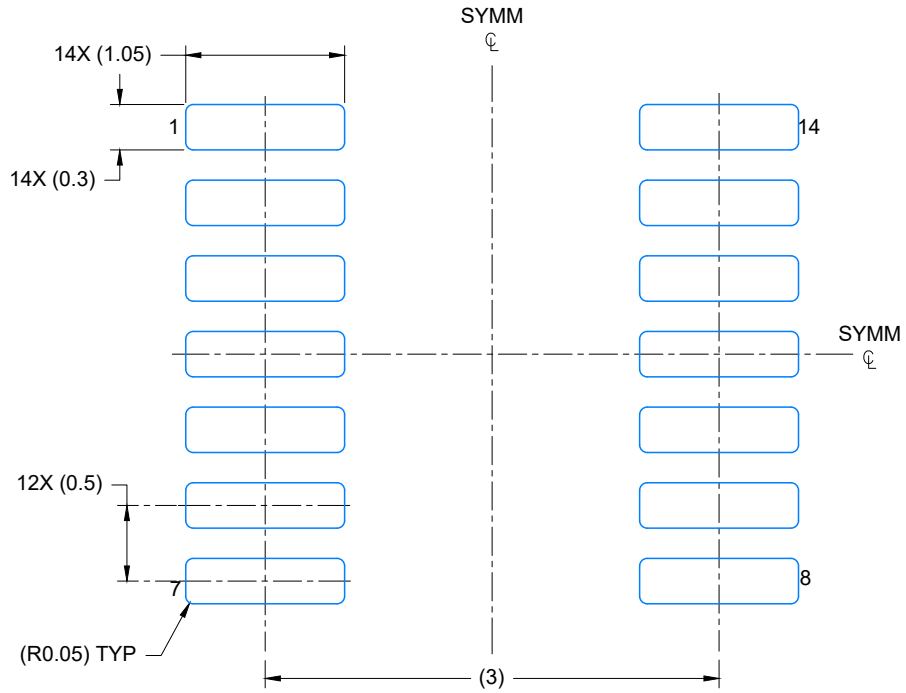
PLASTIC SMALL OUTLINE



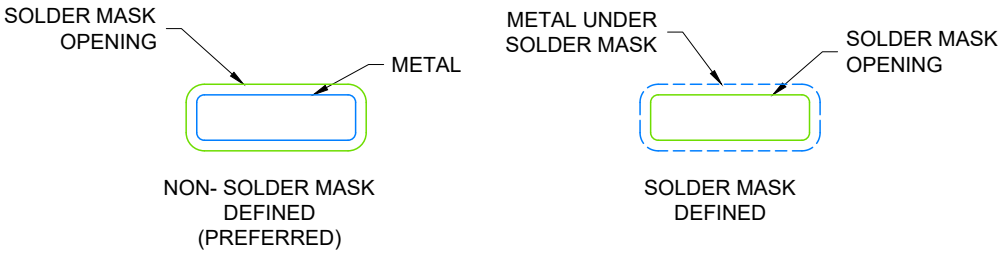
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/D 07/2024

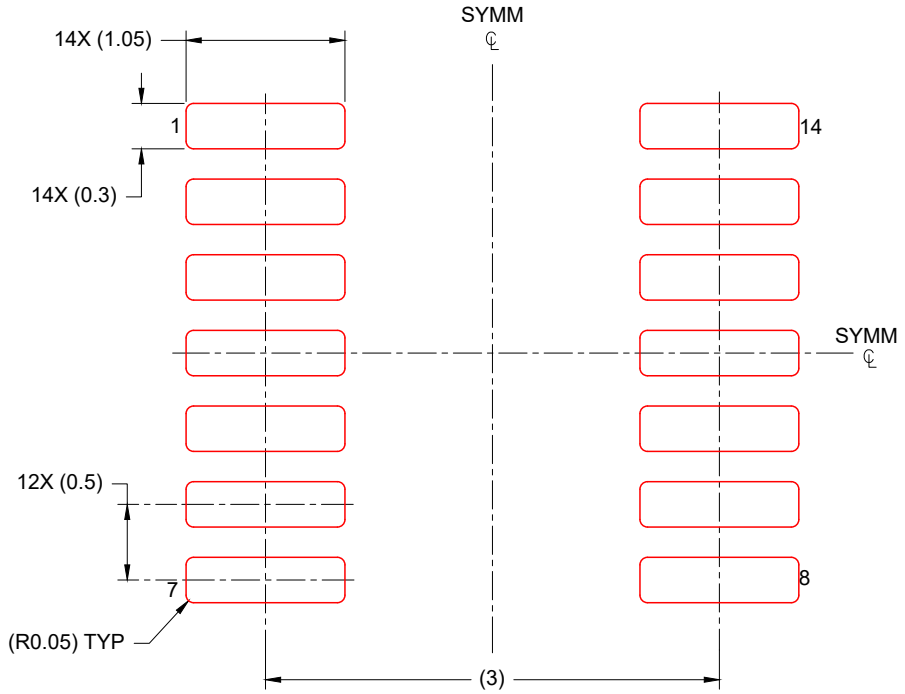
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月