SNx4HC08 四路 2 输入与门

1 特性

- 缓冲输入
- 宽工作电压范围：2V 至 6V
- 宽工作温度范围：
  – 40°C 至 +85°C
- 支持多达 10 个 LSTTL 负载的扇出
- 与 LSTTL 逻辑 IC 相比，可显著降低功耗

2 应用

- 将电源正常信号进行结合
- 使能数字信号

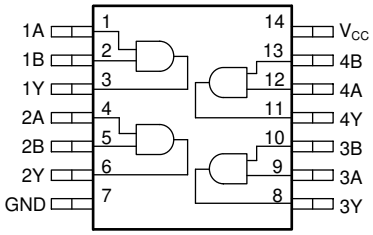
3 说明

此器件包含四个独立双输入与门。每个逻辑门以正逻辑执行布尔函数 Y = A ● B。

器件信息

器件型号	封装 (1)	封装尺寸(1)	封装尺寸(1)
SN74HC08	D（SOIC，14）	8.65mm x 6mm	8.65mm × 3.90mm
	DB（SSOP，14）	6.2mm x 7.8mm	6.2mm × 5.30mm
	N（PDIP，14）	19.3mm x 9.4mm	19.30mm × 6.40mm
	NS（SOP，14）	10.2mm x 7.8mm	10.20mm × 5.30mm
	PW（TSSOP，14）	5mm x 6.4mm	5.00mm × 4.40mm
SN54HC08	FK（LCCC，20）	8.90mm × 8.90mm	8.90mm × 8.90mm
	J（CDIP，14）	19.55mm x 7.9mm	19.55mm x 6.7mm
	W（CFP，14）	9.21mm x 9mm	9.21mm × 6.3mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



功能引脚分配

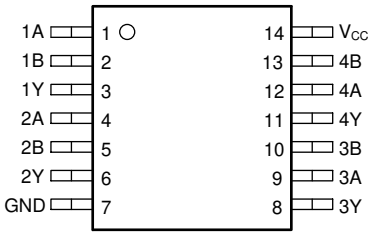
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

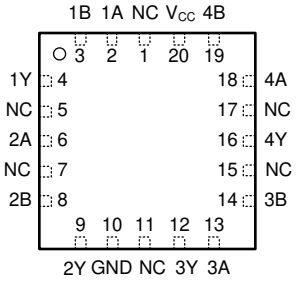
1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
引脚功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 - 74 5
5.6 电气特性 - 54 5
5.7 开关特性 - 74 6
5.8 开关特性 - 54 6
5.9 工作特性 6
5.10 典型特性 7
6 参数测量信息 8
7 详细说明 9
7.1 概述 9
7.2 功能方框图 9
7.3 特性说明 9
7.4 器件功能模式 10
8 应用和实施 11
8.1 应用信息 11
8.2 典型应用 11
8.3 电源相关建议 12
8.4 布局 12
9 器件和文档支持 14
9.1 文档支持 14
9.2 支持资源 14
9.3 商标 14
9.4 静电放电警告 14
9.5 术语表 14
10 修订历史记录 14
11 机械、封装和可订购信息 14

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能



D、DB、N、PW、J 或 W 封装
14 引脚 SOIC、SSOP、PDIP、TSSOP、CDIP 或 CFP
顶视图



FK 封装
20 引脚 LCCC
俯视图

引脚功能

引脚			I/O	说明
名称	D、DB、N、PW、J 或 W	FK		
1A	1	2	输入	通道 1，输入 A
1B	2	3	输入	通道 1，输入 B
1Y	3	4	输出	通道 1，输出 Y
2A	4	6	输入	通道 2，输入 A
2B	5	8	输入	通道 2，输入 B
2Y	6	9	输出	通道 2，输出 Y
GND	7	10	—	接地
3Y	8	12	输出	通道 3，输出 Y
3A	9	13	输入	通道 3，输入 A
3B	10	14	输入	通道 3，输入 B
4Y	11	16	输出	通道 4，输出 Y
4A	12	18	输入	通道 4，输入 A
4B	13	19	输入	通道 4，输入 B
V_{CC}	14	20	—	正电源
NC		1、5、7、11、15、17	—	无内部连接

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	7	V
I_{IK}	输入钳位电流(2)	$V_I < 0$ 或 $V_I > V_{CC}$		±20	mA
I_{OK}	输出钳位电流(2)	$V_O < 0$		±20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_J	结温(3)			150	°C
T_{stg}	贮存温度		-60	150	°C

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。
(3) 受设计保证。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）1

			最小值	标称值	最大值	单位
V_{CC}	电源电压		2	5	6	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5			V
		V_{CC} = 4.5V	3.15			
		V_{CC} = 6V	4.2			
V_{IL}	低电平输入电压	V_{CC} = 2V			0.5	V
		V_{CC} = 4.5V			1.35	
		V_{CC} = 6V			1.8	
V_I	输入电压		0		V_{CC}	V
V_O	输出电压		0		V_{CC}	V
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 2V			1000	ns
		V_{CC} = 4.5V			500	
		V_{CC} = 6V			400	
T_A	自然通风条件下的工作温度范围	SN54HC08	-55		125	°C
		SN74HC08	-55		125	

1. 器件所有的未使用输入必须保持在 VCC 或 GND 以确保器件正常运行。请参阅 CMOS 输入缓慢或悬空的影响，

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		SN74HC08					单位
		D (SOIC)	DB (SSOP)	N (CFP)	NS (SO)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	133.6	113.1	66.0	122.6	151.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	89	62.8	53.7	81.8	79.4	°C/W
$R_{\theta JB}$	结至电路板热阻	89.5	63.4	45.7	83.8	94.7	°C/W
Ψ_{JT}	结至顶部特征参数	45.5	22.3	33.3	45.4	25.2	°C/W
Ψ_{JB}	结至电路板特征参数	89.1	62.7	45.5	83.4	94.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性 - 74

在自然通风条件下的工作温度范围内；典型值在 T_A = 25°C 时测得（除非另有说明）。

参数		测试条件		V_{CC}	自然通风工作温度范围 (T_A)									单位
					25°C			-40°C 至 85°C			-55°C 至 125°C			
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
V_{OH}	高电平输出电压	V_I = V_{IH} 或 V_{IL}	I_{OH} = -20μA	2V	1.9	1.998		1.9			1.9			V
				4.5V	4.4	4.499		4.4			4.4			
				6V	5.9	5.999		5.9			5.9			
			I_{OH} = -4mA	4.5V	3.98	4.3		3.84			3.7			
			I_{OH} = -5.2mA	6V	5.48	5.8		5.34			5.2			
V_{OL}	低电平输出电压	V_I = V_{IH} 或 V_{IL}	I_{OL} = 20μA	2V		0.002	0.1			0.1			0.1	V
				4.5V		0.001	0.1			0.1			0.1	
				6V		0.001	0.1			0.1			0.1	
			I_{OL} = 4mA	4.5V		0.17	0.26			0.33			0.4	
			I_{OL} = 5.2mA	6V		0.15	0.26			0.33			0.4	
I_I	输入漏电流	V_I = V_{CC} 或 0		6V			±0.1			±1			±1	μA
I_{CC}	电源电流	V_I = V_{CC} 或 0	I_O = 0	6V			2			20			40	μA
C_i	输入电容			2V 至 6V		3	10		10			10		pF

5.6 电气特性 - 54

在自然通风条件下的工作温度范围内；TA = 25°C 时测得的典型值（除非另有说明）。

参数		测试条件		V_{CC}	自然通风工作温度范围 (T_A)									单位
					25°C			-40°C 至 85°C			-55°C 至 125°C			
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
V_{OH}	高电平输出电压	V_I = V_{IH} 或 V_{IL}	I_{OH} = -20μA	2V	1.9	1.998		1.9			1.9			V
				4.5V	4.4	4.499		4.4			4.4			
				6V	5.9	5.999		5.9			5.9			
			I_{OH} = -4mA	4.5V	3.98	4.3		3.84			3.7			
			I_{OH} = -5.2mA	6V	5.48	5.8		5.34			5.2			

Copyright © 2025 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内；TA = 25°C 时测得的典型值（除非另有说明）。

参数		测试条件		V_{CC}	自然通风工作温度范围 (T_A)									单位
					25°C			-40°C 至 85°C			-55°C 至 125°C			
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
V_{OL}	低电平输出电压	$V_I = V_{IH}$ 或 V_{IL}	I_{OL} = 20μA	2V		0.002	0.1		0.1			0.1		V
				4.5V		0.001	0.1		0.1			0.1		
				6V		0.001	0.1		0.1			0.1		
			I_{OL} = 4mA	4.5V		0.17	0.26		0.33			0.4		
			I_{OL} = 5.2mA	6V		0.15	0.26		0.33			0.4		
I_I	输入漏电流	$V_I = V_{CC}$ 或 0		6V			±0.1			±1			±1	μA
I_{CC}	电源电流	$V_I = V_{CC}$ 或 0	I_O = 0	6V			2			20			40	μA
C_i	输入电容			2V 至 6V		3	10		10			10		pF

5.7 开关特性 - 74

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		自	至	V_{CC}	自然通风工作温度范围 (T_A)									单位
					25°C			-40°C 至 85°C			-55°C 至 125°C			
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	传播延迟	A 或 B	Y	2V		50	100			125			150	ns
				4.5V		10	20			25			30	
				6V		8	17			24			25	
t_t	转换时间		Y	2V		38	75			95			110	ns
				4.5V		8	15			19			22	
				6V		6	13			16			19	

5.8 开关特性 - 54

在自然通风条件下的工作温度范围内；TA = 25°C 时测得的典型值（除非另有说明）。

参数		自	至	V_{CC}	自然通风工作温度范围 (T_A)									单位
					25°C			-40°C 至 85°C			-55°C 至 125°C			
					最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	传播延迟	A 或 B	Y	2V		50	100			125			150	ns
				4.5V		10	20			25			30	
				6V		8	17			24			25	
t_t	转换时间		Y	2V		38	75			95			110	ns
				4.5V		8	15			19			22	
				6V		6	13			16			19	

5.9 工作特性

在自然通风条件下的工作温度范围内；典型值在 T_A = 25°C 时测得（除非另有说明）。

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
C_{pd}	每个栅极的功率耗散电容	无负载	2V 至 6V		20		pF

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性

T_A = 25°C

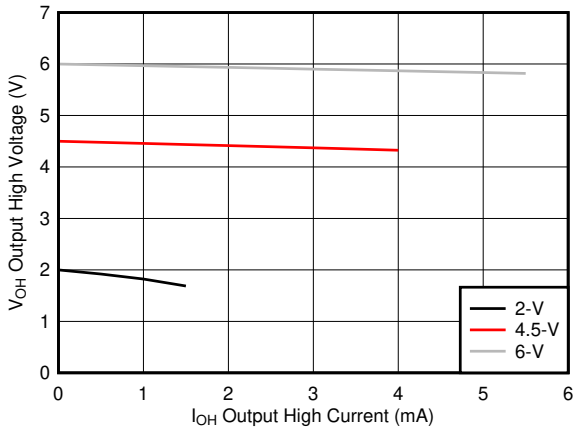


图 5-1. 高电平状态下的典型输出电压 (V_{OH})

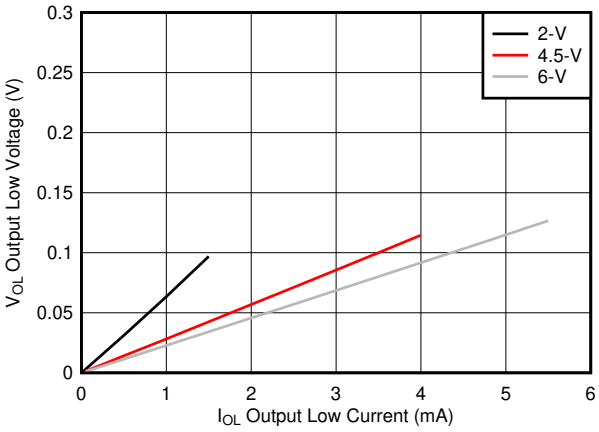
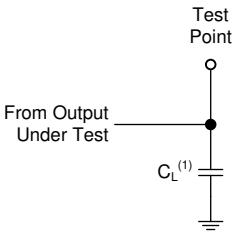


图 5-2. 低电平状态下的典型输出电压 (V_{OL})

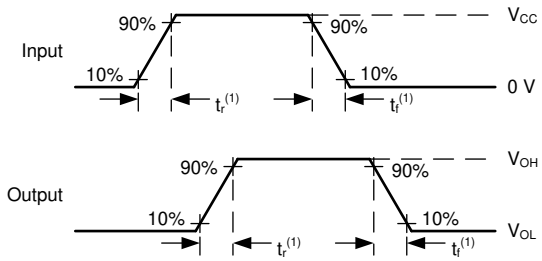
6 参数测量信息

- 任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 6ns。
- 一次测量一个输出，每次测量一个输入转换。



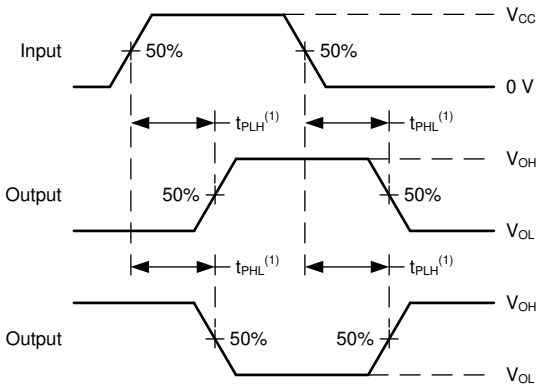
A. C_L= 50pF 并且包括探针和夹具电容。

图 6-1. 负载电路



A. t_t 是 t_r 和 t_f 中的较大者。

图 6-2. 电压波形转换时间



A. t_{PLH} 和 t_{PHL} 之间的最大者用于 t_{pd}。

图 6-3. 电压波形传播延迟

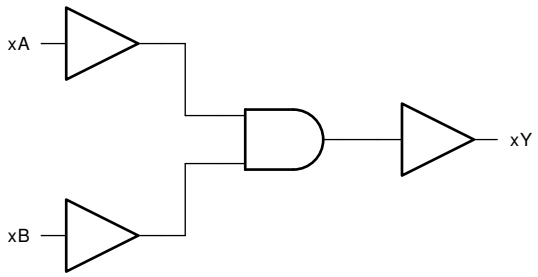
Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

此器件包含四个独立双输入与门。每个逻辑门以正逻辑执行布尔函数 Y = A ● B。

7.2 功能方框图



7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

平衡输出使器件能够灌入和拉取相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值* 中规定的电气和热限值。

SN74HC08 可以驱动总电容小于或等于*电气特性 - 74* 中列出的最大负载的负载（该负载与高阻抗 CMOS 输入相连），同时仍满足数据表中的所有规格。可以施加更大的容性负载；但建议不要超过提供的负载值。如果需要更大的容性负载，建议在输出端和电容器之间添加一个串联电阻，以将输出电流限制为*绝对最大额定值* 中给定的值。

7.3.2 标准 CMOS 输入

标准 CMOS 输入为高阻抗，通常建模为从输入到地的电阻器并与输入电容并联，如*电气特性 - 74* 中所示。最坏情况下的电阻是根据*绝对最大额定值* 中给出的最大输入电压和*电气特性 - 74* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

施加到输入端的信号需要具有快速的边沿速率（由*建议运行条件*中的输入转换时间定义），以避免过多的电流消耗和振荡。如果需要缓慢或有噪声的输入信号，应使用带有施密特触发输入的器件在标准 CMOS 输入之前调节输入信号。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-1 所示。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，建议的输入和输出电压可超过额定值。

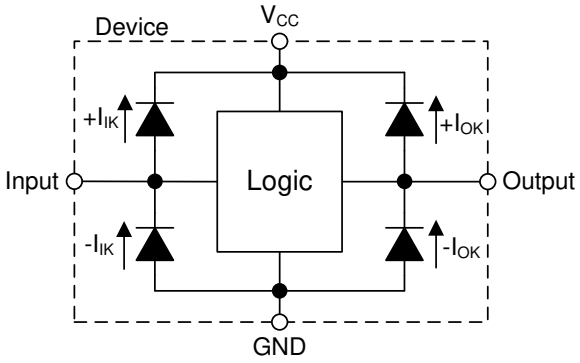


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入		输出
A	**B**	**Y**
H	H	H
L	X	L
X	L	L

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

在该应用中，将三个 2 输入与门相组合，可达到 4 输入与门的功能，如*图 8-1* 所示。第四个门可用于系统中的另一个应用，或者可将输入接地，不使用该通道。

该器件用于直接控制电机控制器的 RESET 引脚。要启用控制器，需要四个输入信号都处于高电平，并且在任何一个信号变为低电平时应禁用控制器。4 输入与门功能将四个单独的复位信号组合成一个低电平有效复位信号。

8.2 典型应用

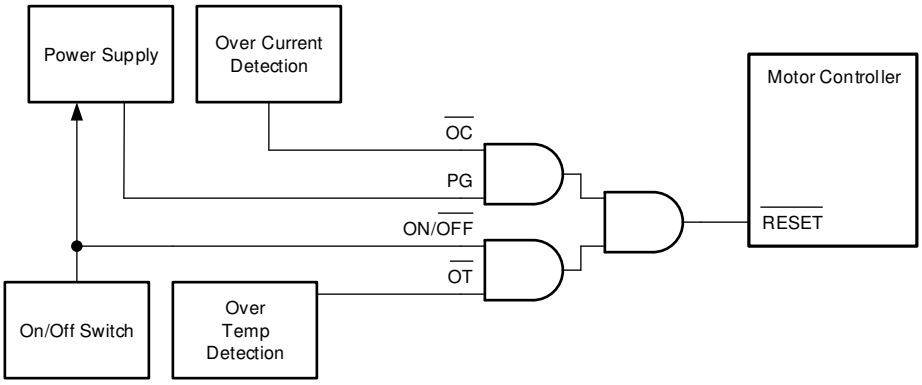


图 8-1. 典型应用原理图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件* 中规定的范围内。电源电压按照*电气特性 - 74* 中所述设置器件的电气特性。

电源必须能够提供的电流等于 SN74HC08 所有输出端拉出的总电流加上最大电源电流 I_{CC}（在*电气特性 - 74* 中列出）之和。逻辑器件只能拉取或灌入与在电源引脚和接地引脚上分别提供的电流相同的电流。确保不要超过*绝对最大额定值* 中列出的通过 GND 或 V_{CC} 的最大总电流。

总功耗可以使用 CMOS 功耗与 C_{pd} 计算中提供的信息进行计算。

可以使用标准线性和逻辑 (SLL) 封装和器件的热特性中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的*附加限制*。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。电阻值受控制器的驱动电流、进入 SN74HC08 的漏电流（如*电气特性 -74* 中所规定）以及所需输入转换率的限制。由于这些因素，通常使用 10kΩ 的电阻值。

Copyright © 2025 Texas Instruments Incorporated

SN74HC08 具有标准 CMOS 输入，因此输入信号不能有低边沿速率。较慢的输入边沿速率会导致振荡并损坏击穿电流。建议的速率在*建议运行条件*中进行了定义。

有关此器件的输入的其他信息，请参阅*节 7.3*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性 - 74* 中 V_{OH} 规范的规定，从输出端汲取电流将会降低输出电压。类似地，接地电压用于产生输出低电平电压。根据*电气特性 - 74* 中 V_{OL} 规范的规定，向输出端灌入电流将会提高输出电压。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅*节 7.3*。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*节 8.4* 展示了一个示例布局。
2. 确保输出端的容性负载 ≤ 70pF。这不是硬性限制，但是它将确保更佳的性能。这可以通过从 SN74HC08 向接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这将确保不会违反*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于上面计算的最小值。
4. 逻辑门很少关注散热问题；不过，可以使用应用报告 CMOS 功耗与 Cpd 计算中提供的步骤计算功耗和热增量

8.2.3 应用曲线

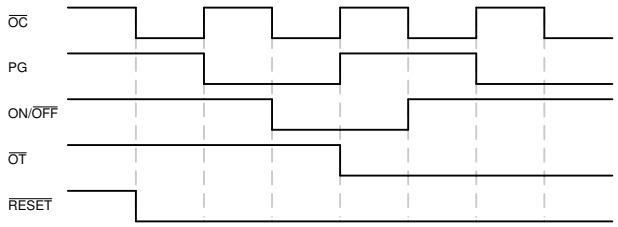


图 8-2. 典型应用时序图

8.3 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如*图 8-3* 所示。

8.4 布局

8.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

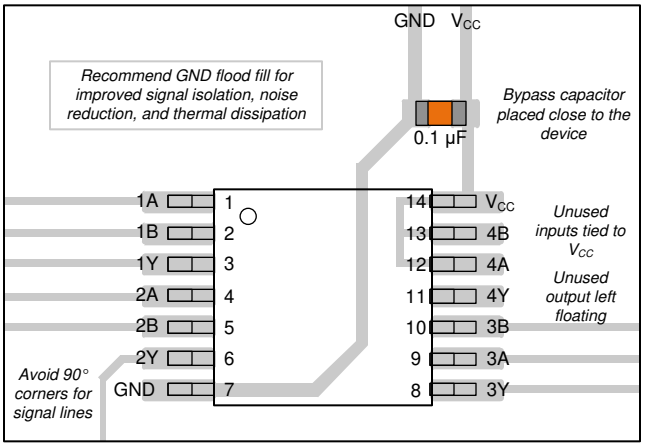


图 8-3. SN74HC08 的示例布局

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- HCMOS 设计注意事项
- CMOS 功耗与 CPD 计算
- 使用逻辑进行设计

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (September 2021) to Revision J (February 2025)	Page
• 将 SN74HC08 工作温度更新为 125°C、并在*建议运行条件* 表、*电气特性* 表和*开关特性* 表中更新相应的值	1
• 向*器件信息* 表添加了封装尺寸	1

Changes from Revision H (April 2021) to Revision I (September 2021)	Page
• 删除了首页引脚排列图中的施密特触发器输入	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8404701VCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404701VCA SNV54HC08J
5962-8404701VCA.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404701VCA SNV54HC08J
5962-8404701VDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404701VDA SNV54HC08W
5962-8404701VDA.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8404701VDA SNV54HC08W
84047012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84047012A SNJ54HC 08FK
8404701CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701CA SNJ54HC08J
8404701DA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701DA SNJ54HC08W
JM38510/65203B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203B2A
JM38510/65203B2A.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203B2A
JM38510/65203BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BCA
JM38510/65203BCA.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BCA
JM38510/65203BDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BDA
JM38510/65203BDA.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BDA
M38510/65203B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203B2A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
M38510/65203BCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BCA
M38510/65203BDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65203BDA
SN54HC08J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC08J
SN54HC08J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC08J
SN74HC08D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC08
SN74HC08DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC08
SN74HC08DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC08
SN74HC08DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08DT	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	HC08
SN74HC08N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC08N
SN74HC08N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74HC08N
SN74HC08NE4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC08N
SN74HC08NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC08
SN74HC08NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC08
SN74HC08PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC08
SN74HC08PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC08
SN74HC08PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC08
SN74HC08PWT	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HC08
SNJ54HC08FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84047012A SNJ54HC 08FK
SNJ54HC08FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84047012A SNJ54HC 08FK

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54HC08J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701CA SNJ54HC08J
SNJ54HC08J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701CA SNJ54HC08J
SNJ54HC08W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701DA SNJ54HC08W
SNJ54HC08W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8404701DA SNJ54HC08W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC08, SN54HC08-SP, SN74HC08 :

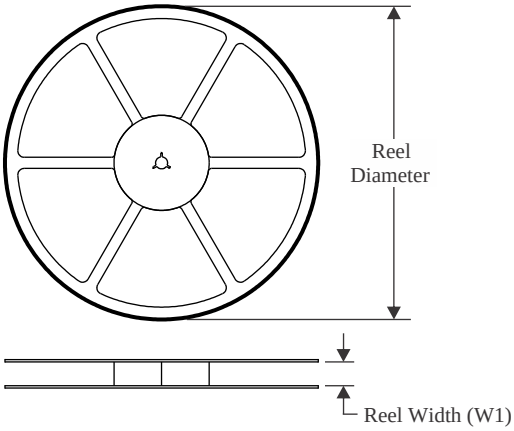
- Catalog : SN74HC08, SN54HC08
- Automotive : SN74HC08-Q1, SN74HC08-Q1
- Military : SN54HC08
- Space : SN54HC08-SP

NOTE: Qualified Version Definitions:

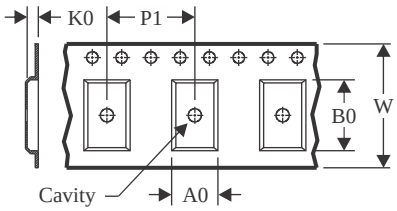
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

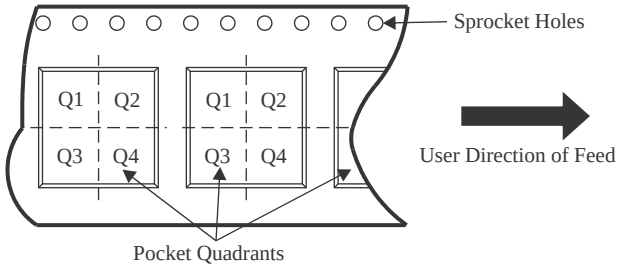


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

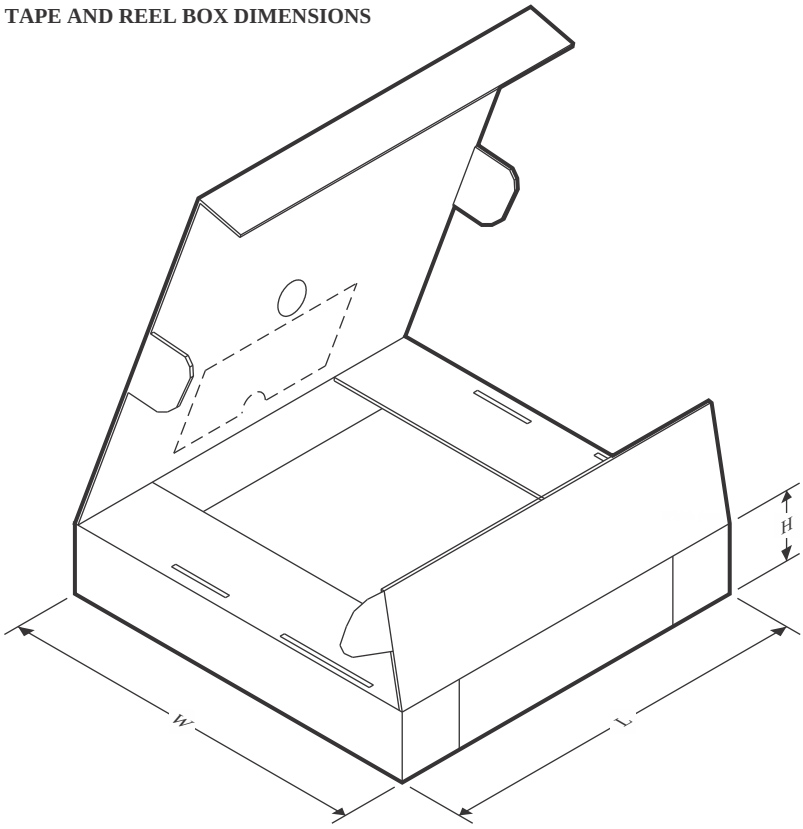
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC08DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC08DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC08DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74HC08NSR	SOP	NS	14	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN74HC08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

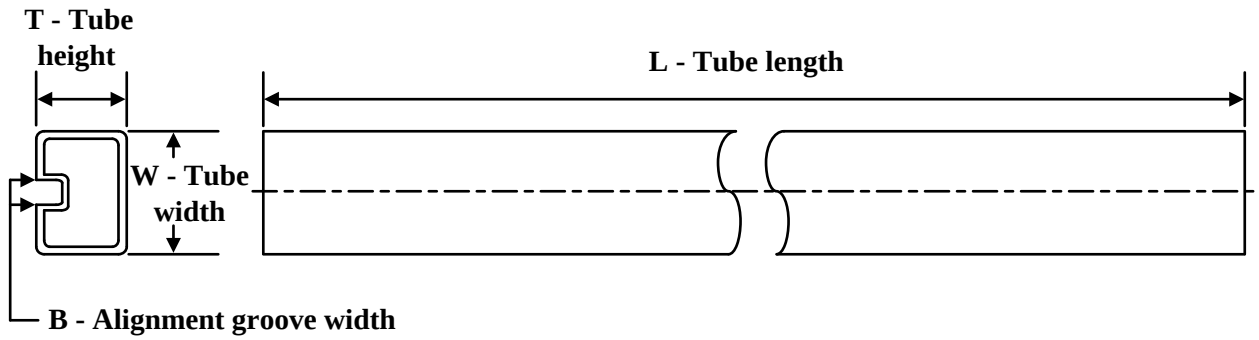
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC08DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74HC08DR	SOIC	D	14	2500	340.5	336.1	32.0
SN74HC08DRG4	SOIC	D	14	2500	340.5	336.1	32.0
SN74HC08NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74HC08PWR	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HC08PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74HC08PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74HC08PWRG4	TSSOP	PW	14	2000	367.0	367.0	35.0
SN74HC08PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

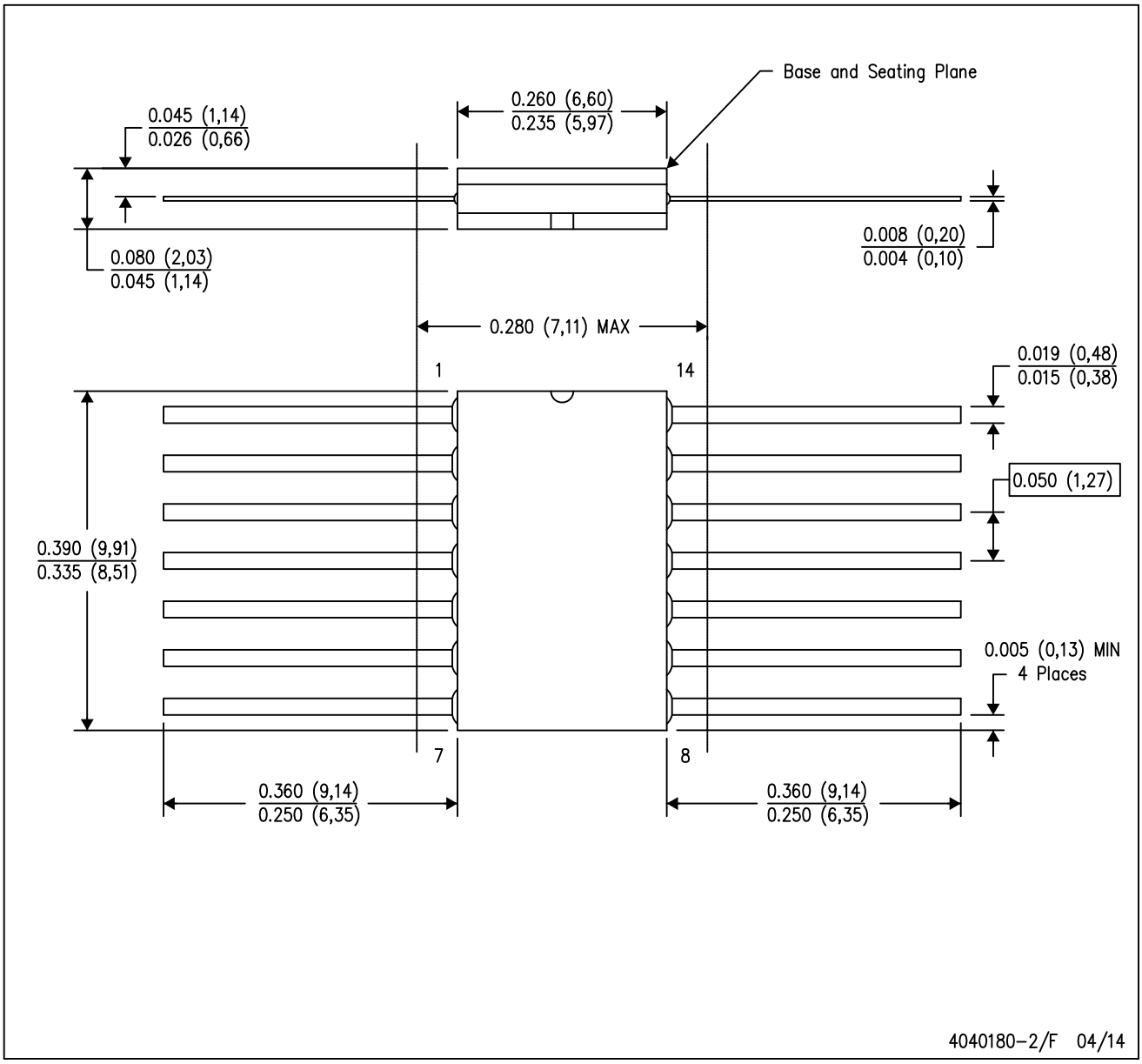
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8404701VDA	W	CFP	14	25	506.98	26.16	6220	NA
5962-8404701VDA.A	W	CFP	14	25	506.98	26.16	6220	NA
84047012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8404701DA	W	CFP	14	25	506.98	26.16	6220	NA
JM38510/65203B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65203B2A.A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65203BDA	W	CFP	14	25	506.98	26.16	6220	NA
JM38510/65203BDA.A	W	CFP	14	25	506.98	26.16	6220	NA
M38510/65203B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
M38510/65203BDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74HC08N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC08N	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC08N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC08N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC08NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74HC08NE4	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54HC08FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC08FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC08W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54HC08W.A	W	CFP	14	25	506.98	26.16	6220	NA

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



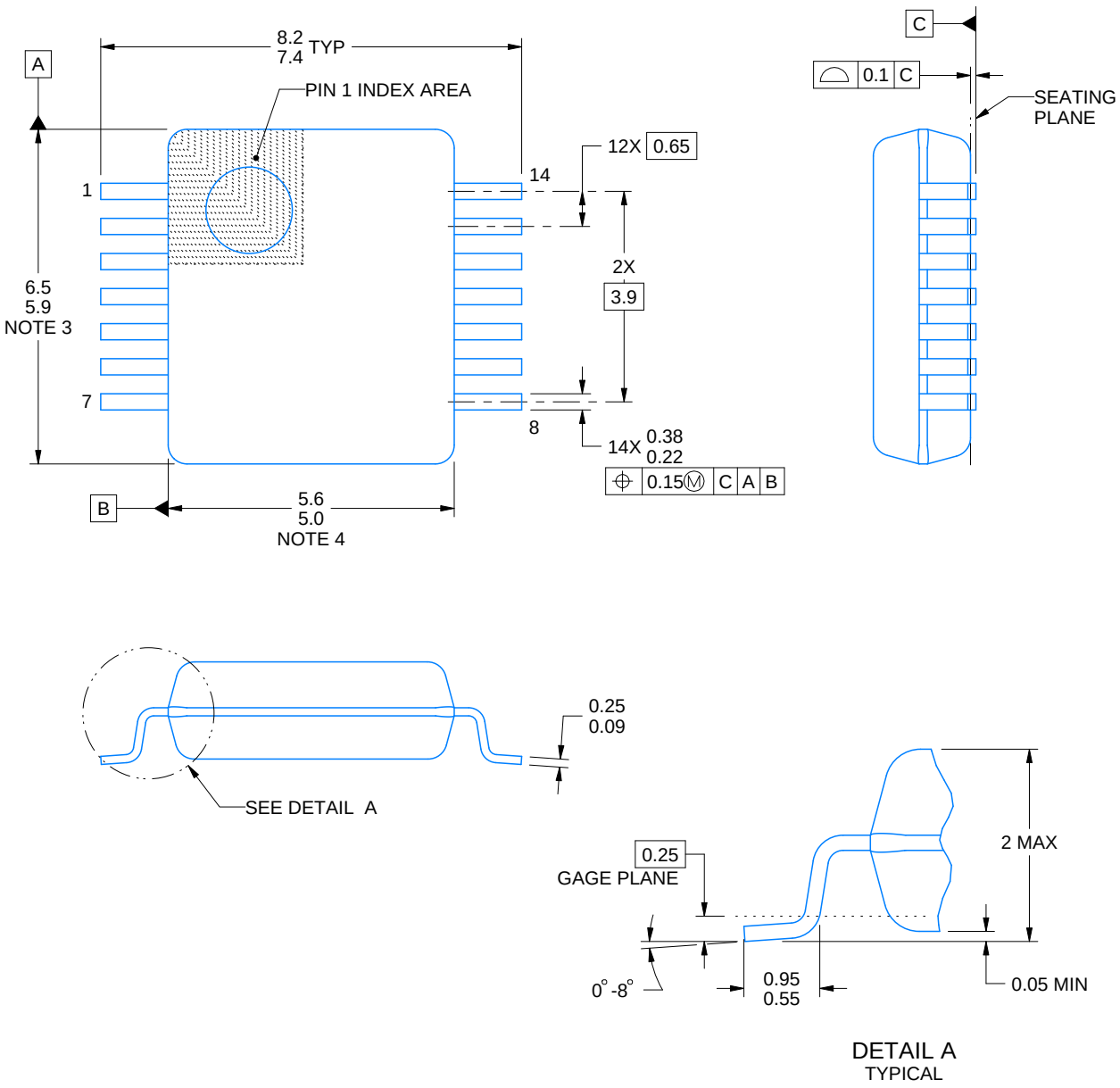
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

PACKAGE OUTLINE

DB0014A

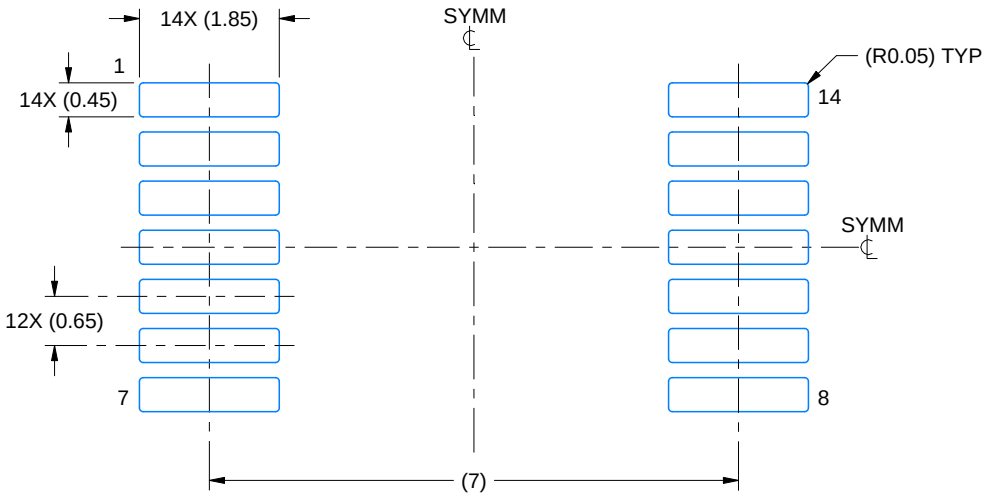
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

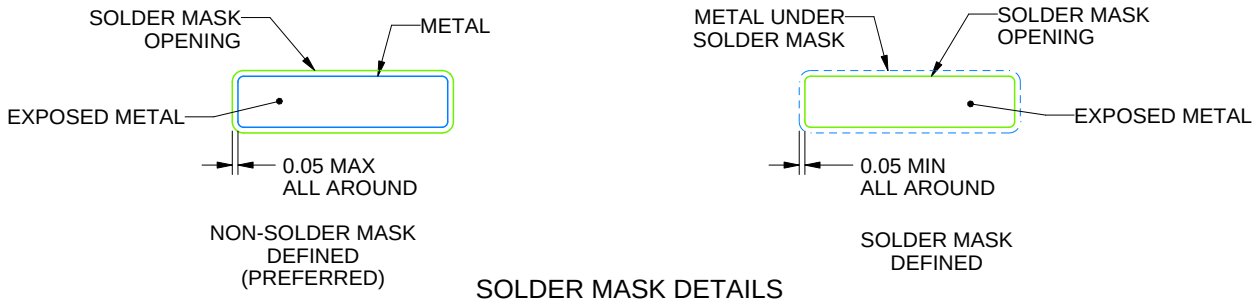


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

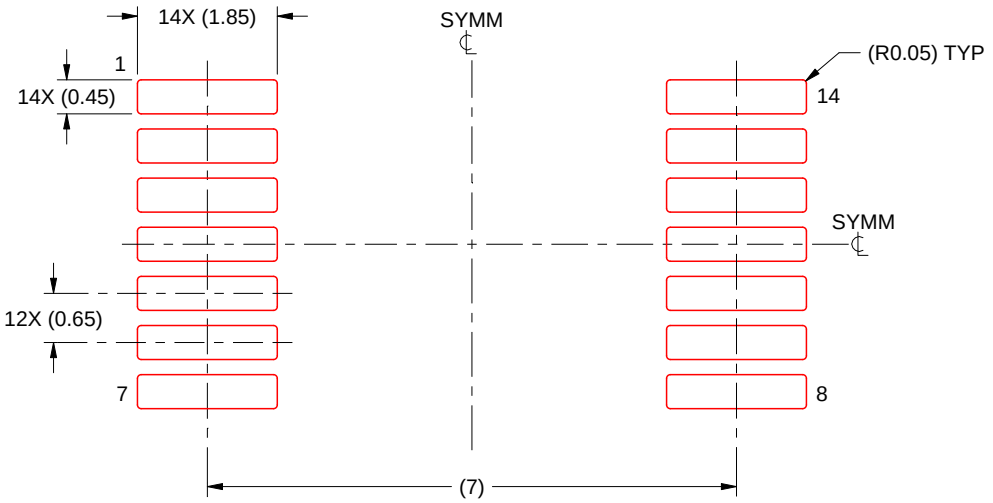


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

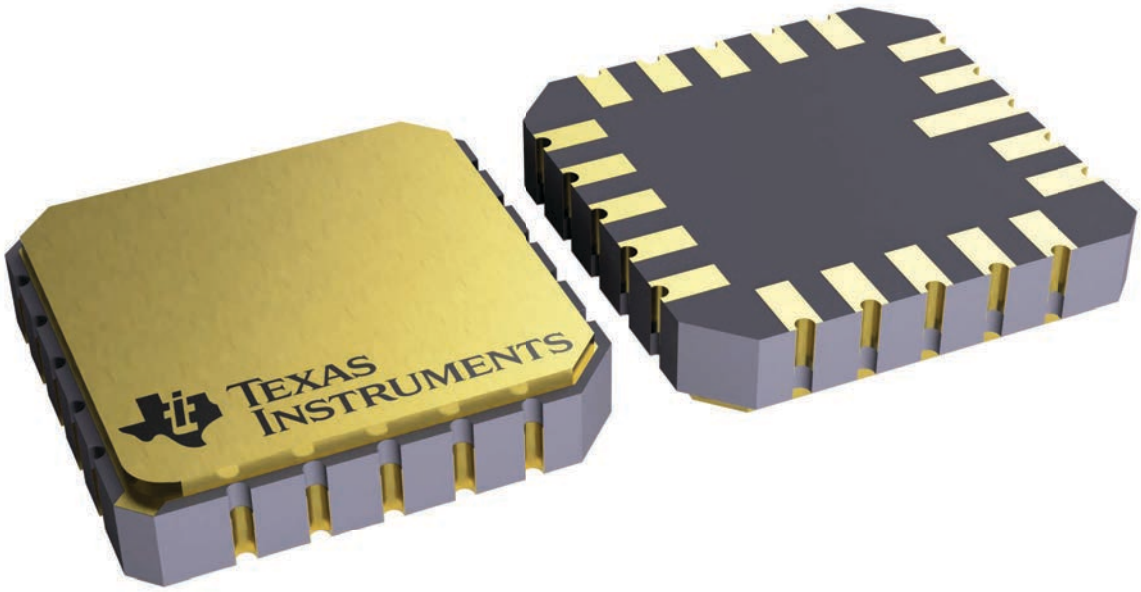
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

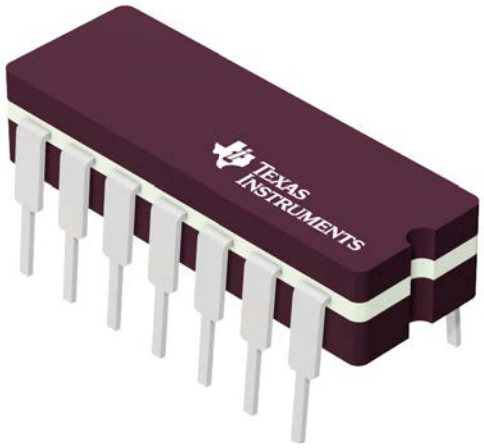


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

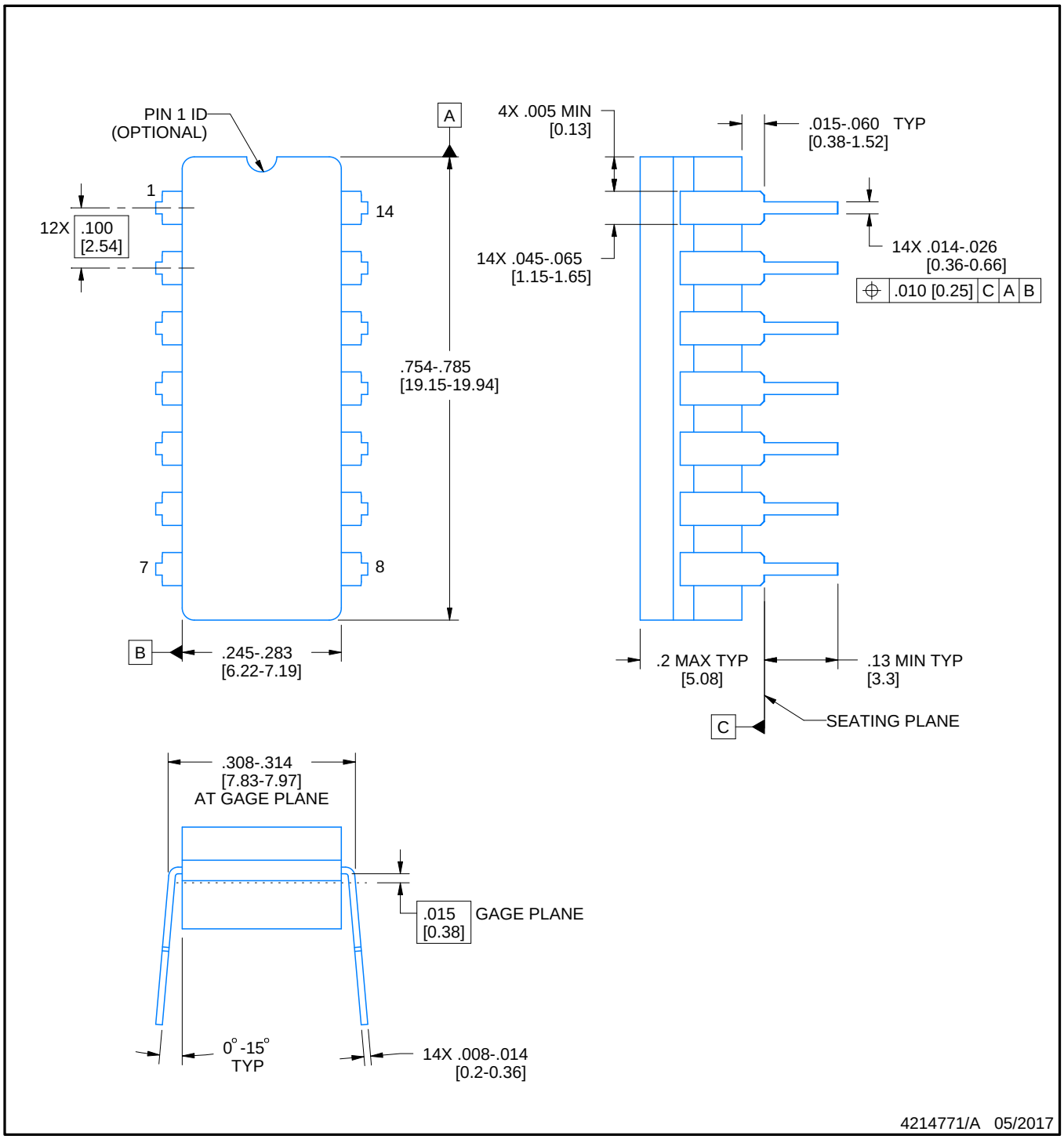
4040083-5/G

PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

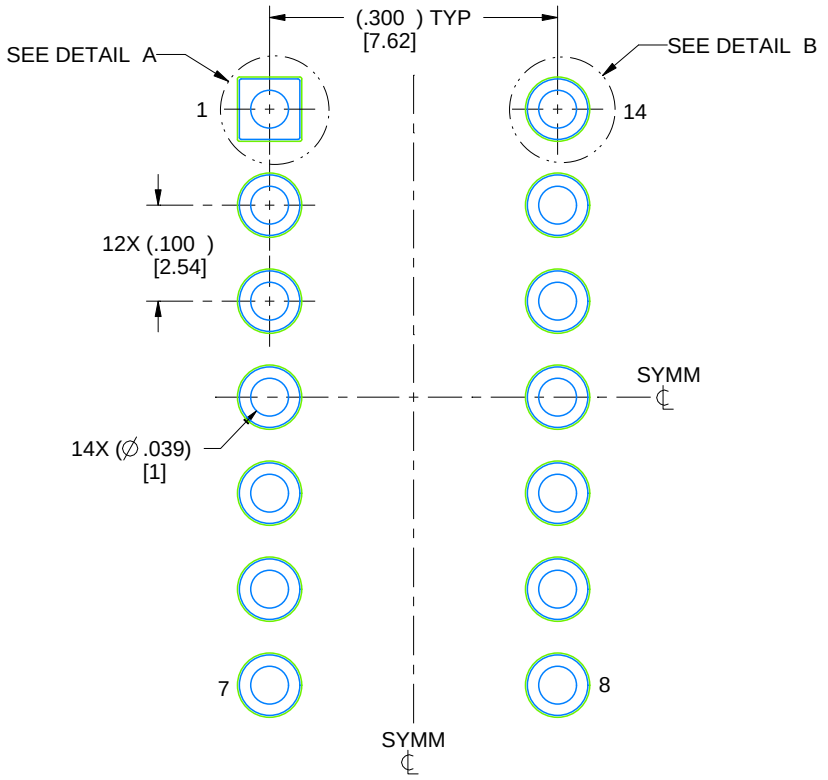
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

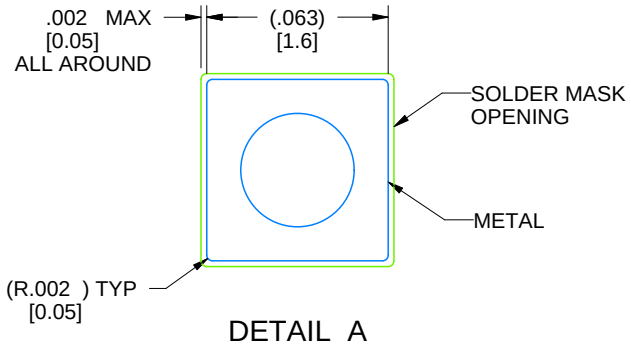
J0014A

CDIP - 5.08 mm max height

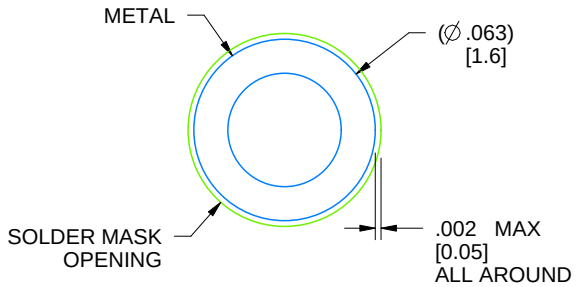
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



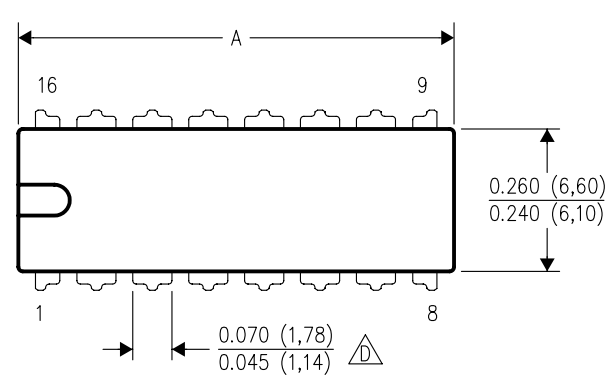
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

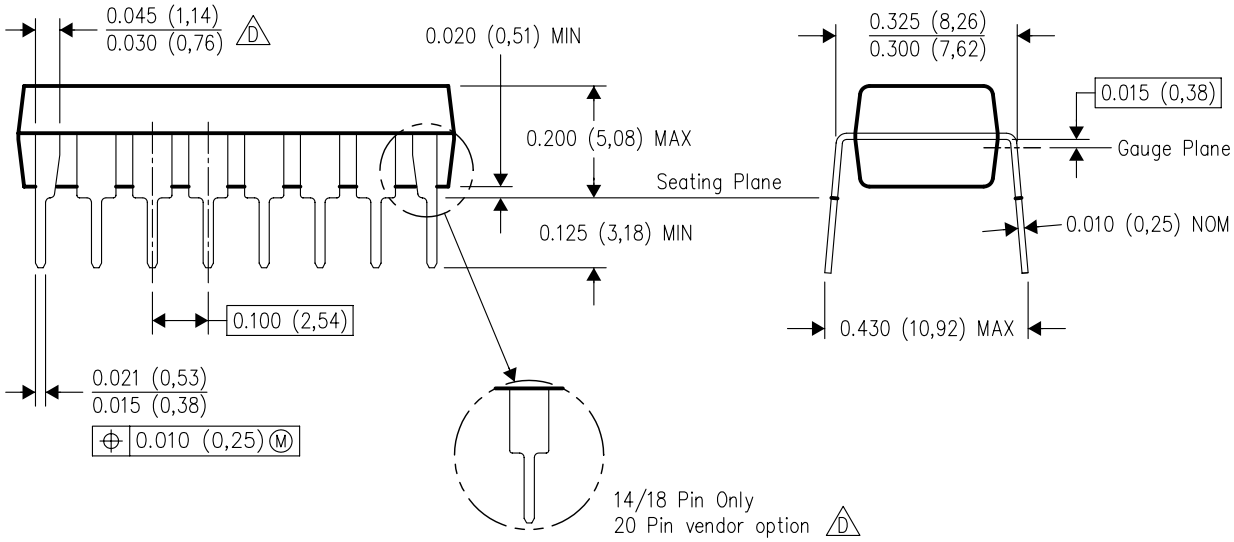
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

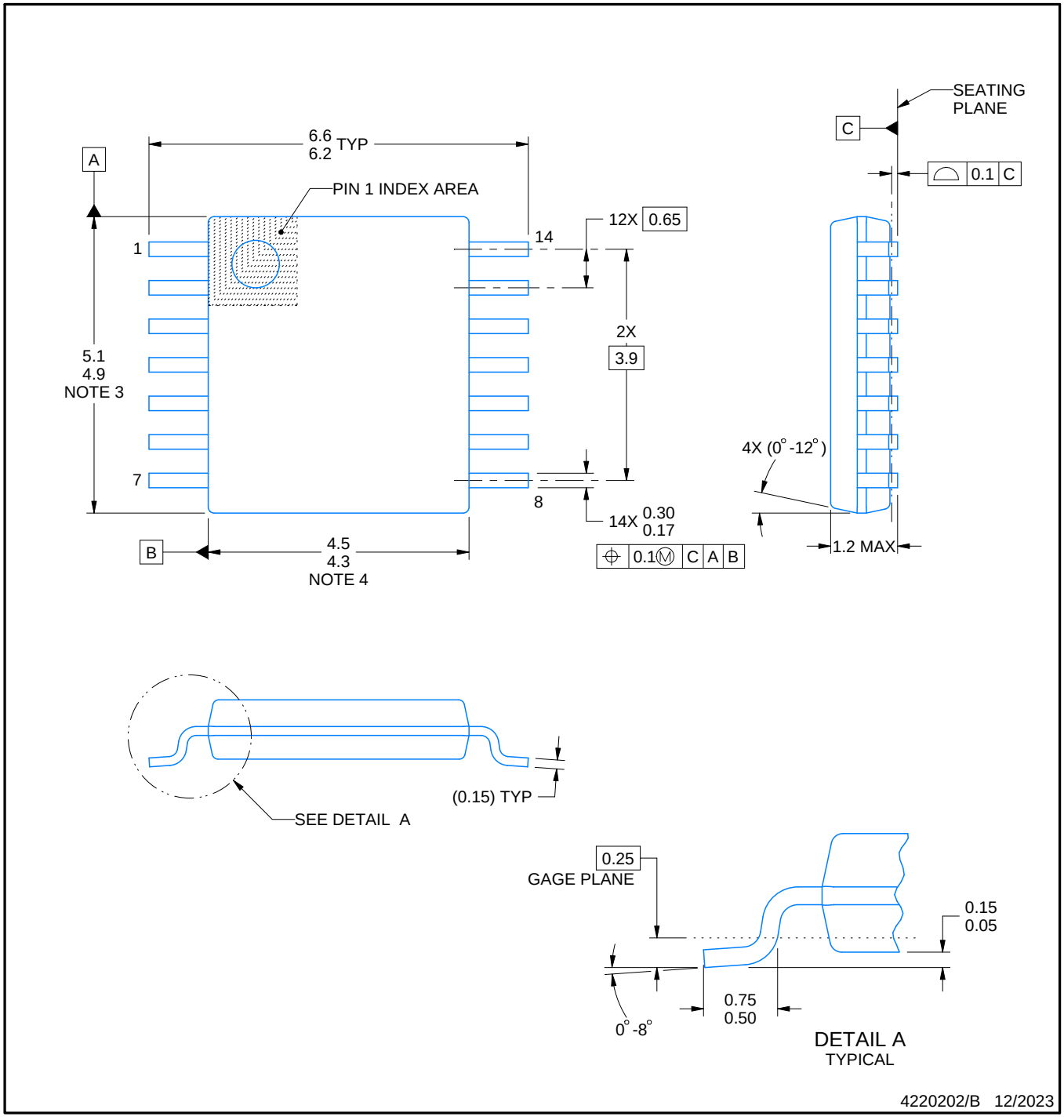
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

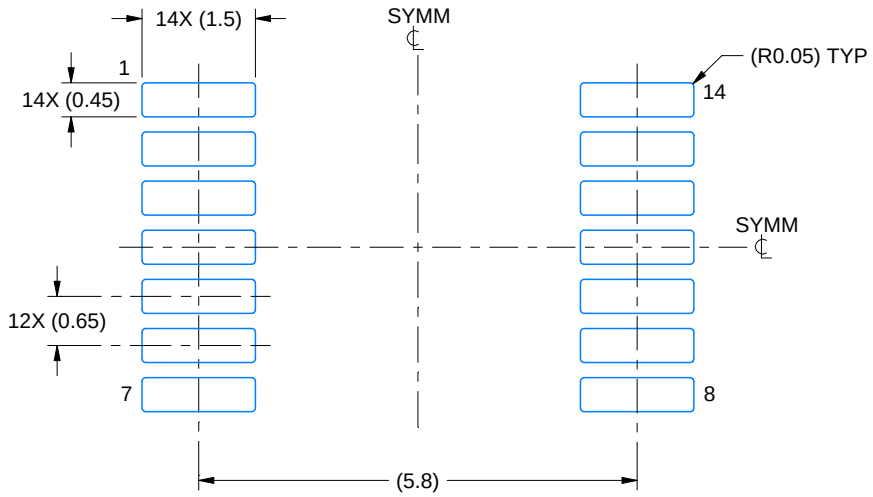
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

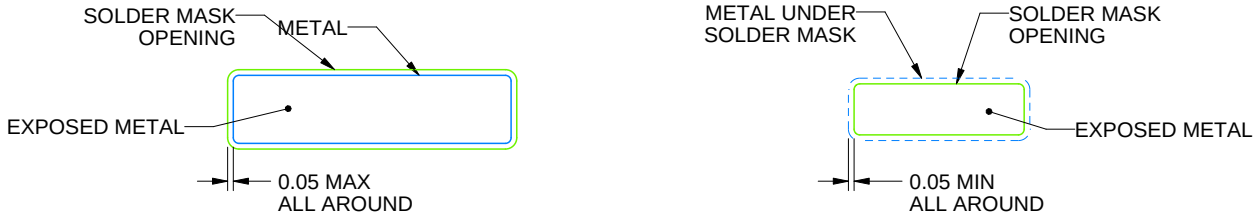


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

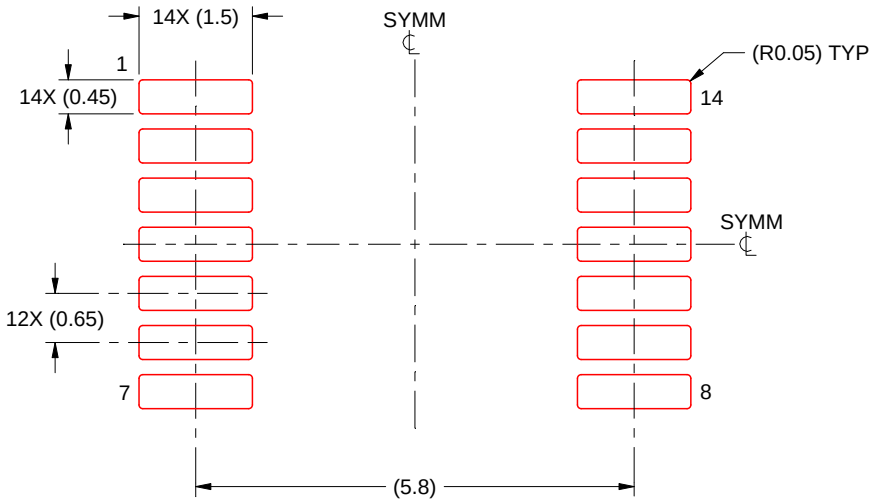


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

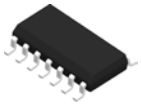


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

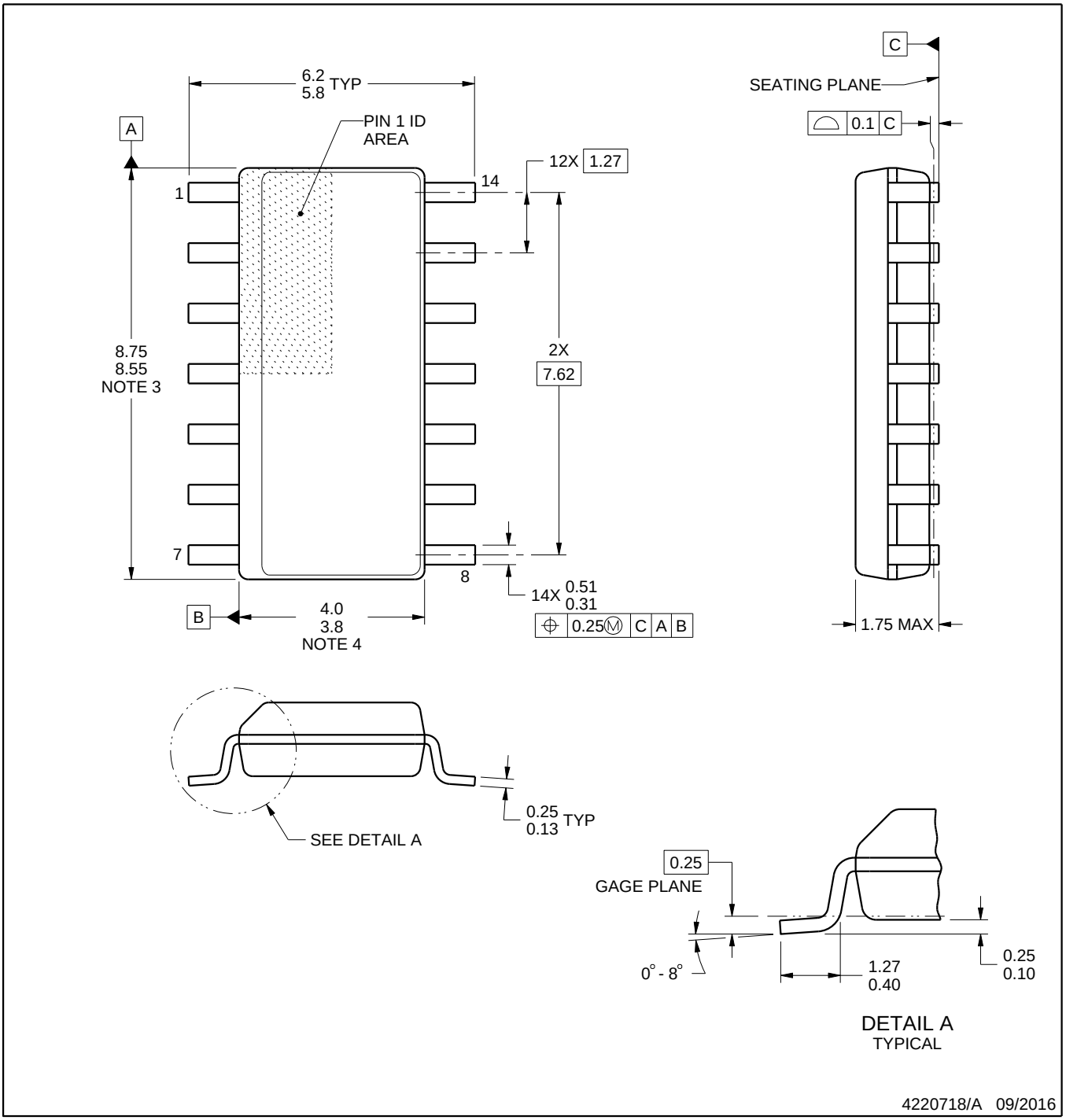


PACKAGE OUTLINE

D0014A

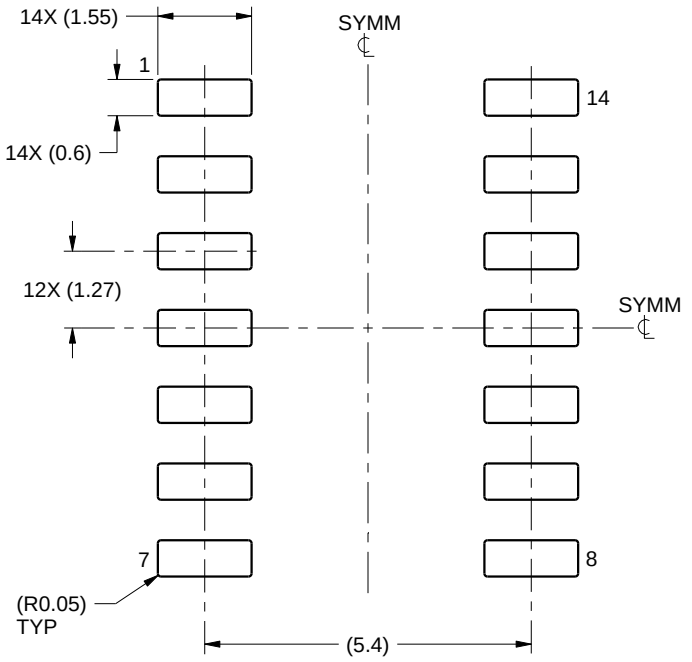
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

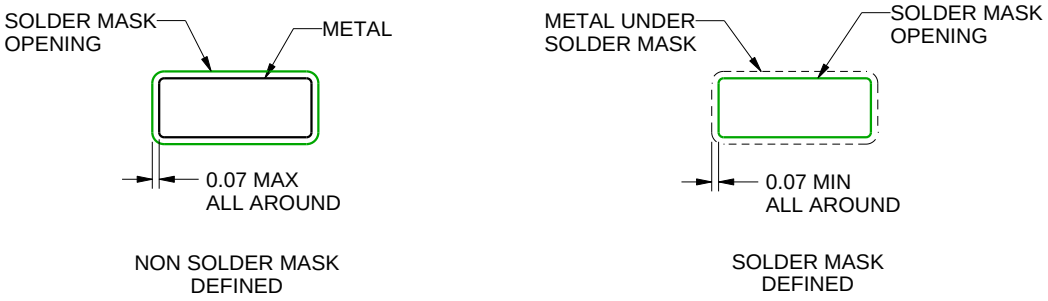


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

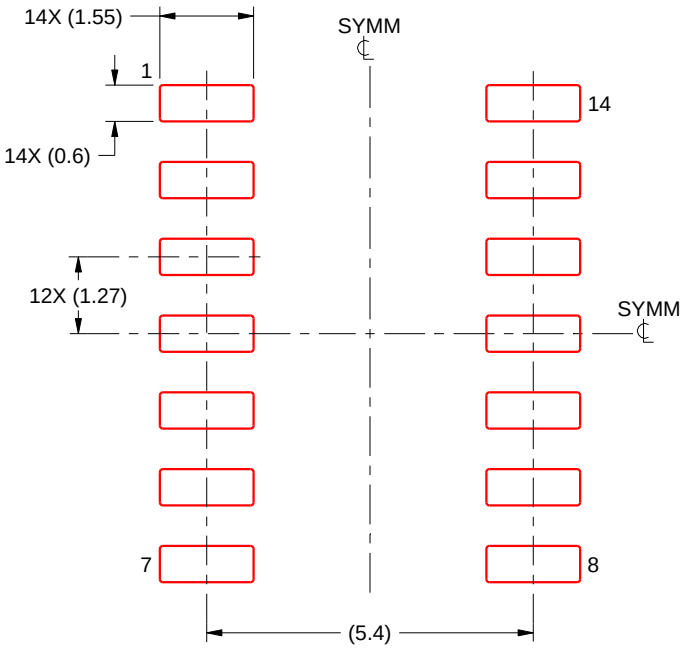
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

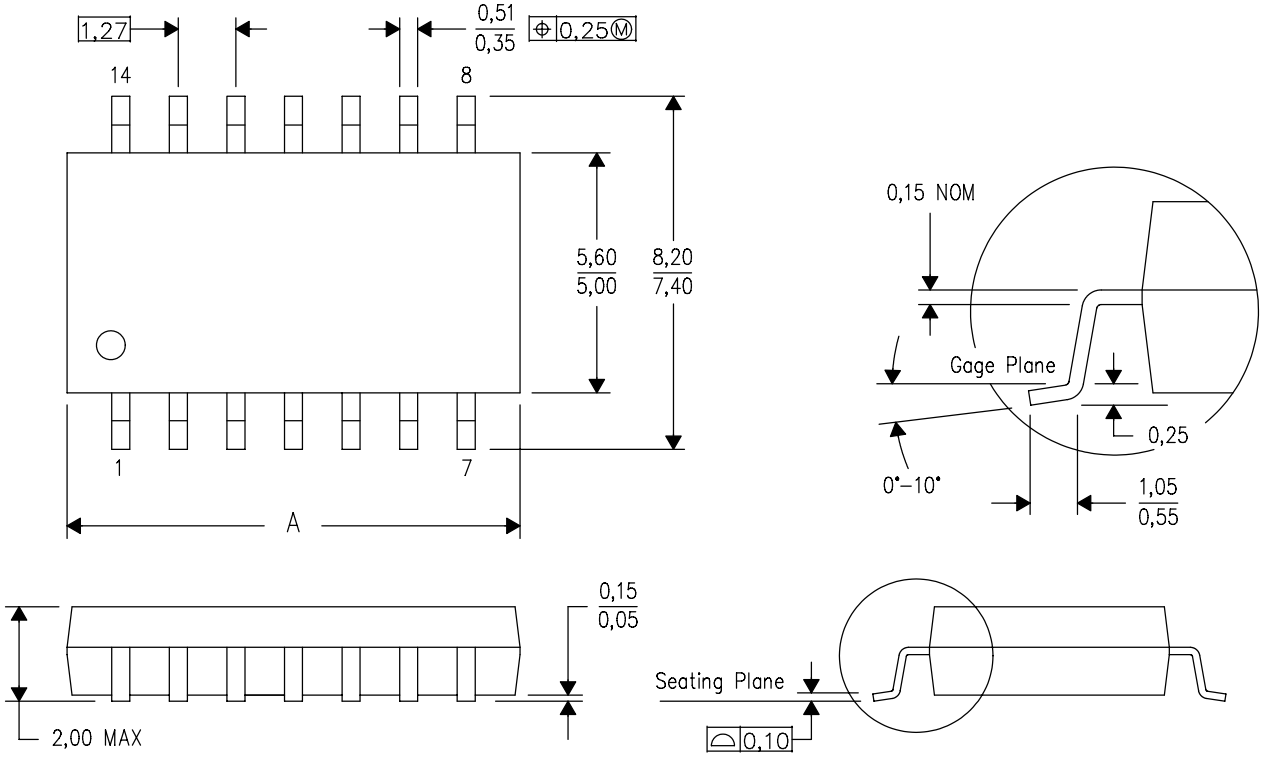
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月