

OPAx180 0.1 μ V/°C 温漂、低噪声、轨到轨输出、36V、零漂移运算放大器

1 特性

- 低失调电压：75 μ V (最大值)
- 零漂移：0.1 μ V/°C
- 低噪声：10nV/ $\sqrt{\text{Hz}}$
- 超低的 1/f 噪声
- 出色的直流精度：
 - PSRR：126dB
 - CMRR：114dB
 - 开环电压增益 (A_{OL})：120dB
- 静态电流：525 μ A (最大值)
- 宽电源电压范围： $\pm 2\text{V}$ 至 $\pm 18\text{V}$
- 轨到轨输出：
 - 输入包括负电源轨
- 低偏置电流：250pA (典型值)
- RFI 滤波输入
- 微型封装

2 应用

- 桥接放大器
- 应变计
- 测试设备
- 传感器应用
- 温度测量
- 电子秤
- 医疗器械
- 电阻式热检测器
- 精密有源滤波器

3 说明

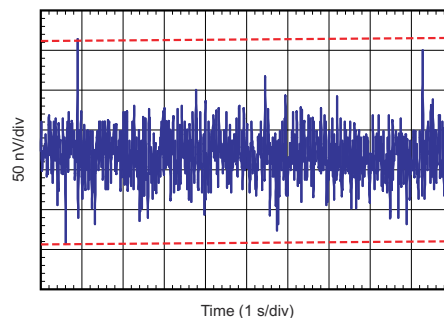
单通道 OPA180、双通道 OPA2180 和四通道 OPA4180 (OPAx180) 运算放大器采用 TI 专有的零漂移技术，同时提供低失调电压 (75 μ V) 以及随时间和温度变化的近零漂移。这些微型、高精度、低静态电流放大器提供高输入阻抗，并且轨到轨输出摆幅在电源轨 18mV 以内。输入共模范围包含负电源轨。这些器件使用单电源或双电源，电压范围 4V 至 36V ($\pm 2\text{V}$ 至 $\pm 18\text{V}$)。

双通道版本采用 VSSOP-8 和 SOIC-8 封装。四通道版本采用 SOIC-14 和 TSSOP-14 封装。单通道和四通道封装产品 (OPA180 和 OPA4180) 的规格为 -40°C 至 $+125^{\circ}\text{C}$ ，双通道封装 (OPA2180) 的规格为 -40°C 至 $+105^{\circ}\text{C}$ 。

器件信息

器件型号	通道数	封装 ⁽¹⁾
OPA180	单通道	D (SOIC, 8)
		DBV (SOT-23, 5)
		DGK (VSSOP, 8)
OPA2180	双通道	D (SOIC, 8)
		DGK (VSSOP, 8)
OPA4180	四通道	D (SOIC, 14)
		PW (TSSOP, 14)

(1) 有关更多信息，请参阅节 11。



低噪声 (峰峰值噪声 = 250nV)



内容

1 特性	1	7.2 功能方框图	16
2 应用	1	7.3 特性说明	17
3 说明	1	7.4 器件功能模式	19
4 器件比较表	3	8 应用和实施	20
5 引脚配置和功能	4	8.1 应用信息	20
6 规格	7	8.2 典型应用	20
6.1 绝对最大额定值.....	7	8.3 电源相关建议	24
6.2 ESD 等级.....	7	8.4 布局	24
6.3 建议运行条件.....	7	9 器件和文档支持	25
6.4 热性能信息：OPA180.....	8	9.1 接收文档更新通知.....	25
6.5 热性能信息：OPA2180.....	8	9.2 支持资源.....	25
6.6 热性能信息：OPA4180.....	8	9.3 商标.....	25
6.7 电气特性： $V_S = \pm 2V$ 至 $\pm 18V$ ($V_S = 4V$ 至 $36V$)	9	9.4 静电放电警告.....	25
6.8 典型特性：图形表.....	11	9.5 术语表.....	25
6.9 典型特性.....	12	10 修订历史记录	25
7 详细说明	16	11 机械、封装和可订购信息	26
7.1 概述.....	16		

4 器件比较表

表 4-1. 零漂移放大器产品系列

VERSION	产品	失调电压 (μV)	失调电压温漂 ($\mu\text{V}/^\circ\text{C}$)	带宽 (MHz)
单通道	OPA188 (4V 至 36V)	25	0.085	2
	OPA180 (4V 至 36V)	75	0.35	2
	OPA333 (5V)	10	0.05	0.35
	OPA378 (5V)	50	0.25	0.9
	OPA735 (12V)	5	0.05	1.6
双通道	OPA2188 (4V 至 36V)	25	0.085	2
	OPA2180 (4V 至 36V)	75	0.35	2
	OPA2333 (5V)	10	0.05	0.35
	OPA2378 (5V)	50	0.25	0.9
	OPA2735 (12V)	5	0.05	1.6
四通道	OPA4188 (4V 至 36V)	25	0.085	2
	OPA4180 (4V 至 36V)	75	0.35	2
	OPA4330 (5V)	50	0.25	0.35

5 引脚配置和功能

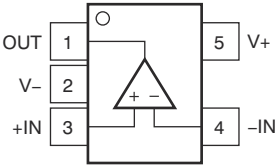


图 5-1. OPA180 DBV (5 引脚 SOT-23) 封装，顶视图

表 5-1. 引脚功能：OPA180

引脚		I/O	说明
名称	DBV		
- IN	4	I	反相输入
+IN	3	I	同相输入
OUT	1	O	输出
V -	2	—	负电源或接地 (对于单电源供电)
V+	5	—	正电源或接地 (对于单电源供电)

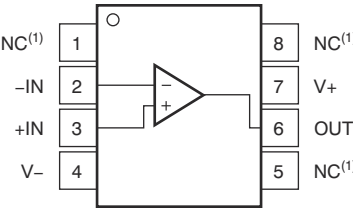


图 5-2. OPA180D (8 引脚 SOIC) 和 DGK (8 引脚 VSSOP) 封装 (顶视图)

表 5-2. 引脚功能：OPA180

引脚		说明
名称	编号	
- IN	2	反相输入
+IN	3	同相输入
NC	1、5、8	无连接
OUT	6	输出
V -	4	负电源
V+	7	正电源

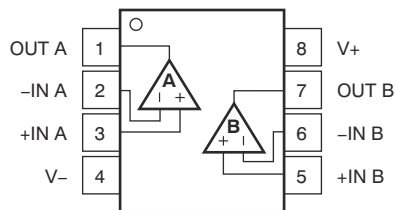


图 5-3. OPA2180D (8 引脚 SOIC) 和 DGK (8 引脚 VSSOP) 封装 (顶视图)

表 5-3. 引脚功能 : OPA2180

引脚		说明
名称	编号	
- IN A	2	反相输入, 通道 A
+IN A	3	同相输入, 通道 A
- IN B	6	反相输入, 通道 B
+IN B	5	同相输入, 通道 B
OUT A	1	输出, 通道 A
OUT B	7	输出, 通道 B
V -	4	负电源
V+	8	正电源

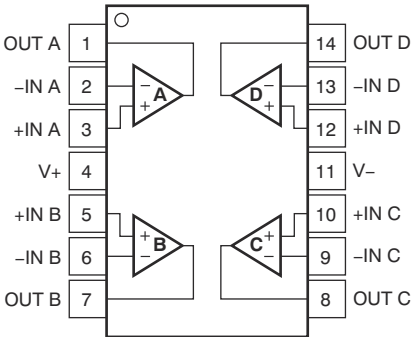


图 5-4. OPA4180D (14 引脚 SOIC) 和 PW (14 引脚 TSSOP) 封装 (顶视图)

表 5-4. 引脚功能 : OPA4180

引脚		说明
名称	编号	
- IN A	2	反相输入, 通道 A
+IN A	3	同相输入, 通道 A
- IN B	6	反相输入, 通道 B
+IN B	5	同相输入, 通道 B
- IN C	9	反相输入, 通道 C
+IN C	10	同相输入, 通道 C
- IN D	13	反相输入, 通道 D
+IN D	12	同相输入, 通道 D
OUT A	1	输出, 通道 A
OUT B	7	输出, 通道 B
OUT C	8	输出, 通道 C
OUT D	14	输出, 通道 D
V -	11	负电源或接地 (对于单电源供电)
V+	4	正电源或接地 (对于单电源供电)

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
	电源电压	± 20 、 ± 40 （单电源）		V
	信号输入端子	电压	$(V-) - 0.5$ $(V+) + 0.5$	V
		电流	± 10	mA
	输出短路 ⁽²⁾	持续		
	工作温度	-55	125	°C
T _J	结温		150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

			最小值	最大值	单位
T _{stg}	贮存温度范围		-65	150	°C
V _(ESD)	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	-1.5	1.5	kV
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	-1	1	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内（除非另有说明），R_L = 10k Ω （连接至 V_S/2），V_{COM} = V_{OUT} = V_S/2（除非另有说明）条件下测得

		最小值	标称值	最大值	单位
电源电压 [(V+) - (V-)]	单电源	4.5		36	V
	双极电源	± 2.25		± 18	V
工作温度		-40		125	°C

6.4 热性能信息：OPA180

热指标 ⁽¹⁾	OPA180			单位
	D (SOIC)	DBV (SOT-23)	DGK (MSOP)	
	8 引脚	5 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	115.8	158.8	180.4	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	60.1	60.7	67.9	°C/W
$R_{\theta JB}$ 结至电路板热阻	56.4	44.8	102.1	°C/W
ψ_{JT} 结至顶部特征参数	12.8	1.6	10.4	°C/W
ψ_{JB} 结至电路板特征参数	55.9	4.2	100.3	°C/W
$R_{\theta JC(bot)}$ 结至外壳 (底部) 热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 热性能信息：OPA2180

热指标 ⁽¹⁾	OPA2180		单位
	D (SOIC)	DGK (MSOP)	
	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	111	159.3	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	54.9	37.4	°C/W
$R_{\theta JB}$ 结至电路板热阻	51.7	48.5	°C/W
ψ_{JT} 结至顶部特征参数	9.3	1.2	°C/W
ψ_{JB} 结至电路板特征参数	51.1	77.1	°C/W
$R_{\theta JC(bot)}$ 结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.6 热性能信息：OPA4180

热指标 ⁽¹⁾	OPA4180		单位
	D (SOIC)	PW (TSSOP)	
	14 引脚	14 引脚	
$R_{\theta JA}$ 结至环境热阻	93.2	106.9	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	51.8	24.4	°C/W
$R_{\theta JB}$ 结至电路板热阻	49.4	59.3	°C/W
ψ_{JT} 结至顶部特征参数	13.5	0.6	°C/W
ψ_{JB} 结至电路板特征参数	42.2	54.3	°C/W
$R_{\theta JC(bot)}$ 结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.7 电气特性：V_S = ±2V 至 ±18V (V_S = 4V 至 36V)

在 T_A = 25°C，R_L = 10kΩ (连接至 V_S/2) 且 V_{COM} = V_{OUT} = V_S/2 的条件下测得 (除非另有说明)。

参数		条件	最小值	典型值	最大值	单位	
失调电压							
V _{IO}	输入偏移电压			15	75	μ V	
dV _{IO} /dT	输入失调电压漂移		T _A = -40°C 至 +125°C		0.1	0.35	μ V/°C
PSRR	电源抑制比	V _S = 4V 至 36V , V _{CM} = V _S /2		0.1	0.5	μ V/V	
		T _A = - 40°C 至 +125°C , V _S = 4V 至 36V , V _{CM} = V _S /2			0.5	μ V/V	
长期稳定性			4 ⁽¹⁾			μ V	
通道分离，直流			1			μ V/V	
输入偏置电流							
I _{IB}	输入偏置电流	OPA2180		±0.25	±1.5	nA	
		OPA2180 : T _A = -40°C 至 +105°C			±18	nA	
		OPA180、OPA4180		±0.25	±1.7	nA	
		OPA180、OPA4180 : T _A = -40°C 至 +125°C			±18	nA	
I _{IO}	输入偏移电流	OPA2180		±0.5	±3	nA	
		OPA2180 : T _A = -40°C 至 +105°C			±6	nA	
		OPA180、OPA4180			±3.4	nA	
		OPA180、OPA4180 : T _A = -40°C 至 +125°C			±6	nA	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz		0.25		μ V _{PP}	
e _n	输入电压噪声密度	f = 1kHz		10		nV/ √ Hz	
i _n	输入电流噪声密度	f = 1kHz		10		fA/ √ Hz	
输入电压范围							
V _{CM}	共模电压范围			V -	(V+) - 1.5	V	
CMRR	共模抑制比	(V -) < V _{CM} < (V+) - 1.5V		104	114	dB	
		T _A = - 40°C 至 +125°C , (V -) + 0.5V < V _{CM} < (V+) - 1.5V		100	104	dB	
输入阻抗							
Z _{id}	差分			100 6		M Ω pF	
Z _{ic}	共模			6 9.5		10 ¹² Ω pF	
开环增益							
A _{OL}	开环电压增益	(V -) + 500mV < V _O < (V+) - 500mV R _L = 10k Ω		110	120	dB	
		T _A = - 40°C 至 +125°C (V -) + 500mV < V _O < (V+) - 500mV , R _L = 10k Ω		104	114	dB	
频率响应							
GBW	增益带宽积			2		MHz	
SR	压摆率		G = 1	0.8		V/ μ s	
t _s	趋稳时间	0.1%	V _S = ±18V , G = 1 , 10V 阶跃	22		μ s	
		0.01%	V _S = ±18V , G = 1 , 10V 阶跃	30		μ s	
t _{or}	过载恢复时间		V _{IN} × G = V _S	1		μ s	
THD+N	总谐波失真 + 噪声		f = 1kHz , G = 1 , V _{OUT} = 1V _{RMS}	0.0001%			

在 $T_A = 25^\circ\text{C}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S/2$) 且 $V_{\text{COM}} = V_{\text{OUT}} = V_S/2$ 的条件下测得 (除非另有说明) 。

参数	条件	最小值	典型值	最大值	单位
输出					
相对于电源轨的电压输出摆幅	无负载		8	18	mV
	$R_L = 10\text{k}\Omega$		250	300	mV
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $R_L = 10\text{k}\Omega$		325	360	mV
I_{OS} 短路电流			± 18		mA
r_o 输出阻抗 (开环)	$f = 2\text{MHz}$, $I_O = 0\text{mA}$		120		Ω
C_{LOAD} 容性负载驱动			1		nF
电源					
V_S 工作电压范围		± 2 (或 4)		± 18 (或 36)	V
I_Q (每个放大器) 的静态电流			450	525	μA
	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ $I_O = 0\text{mA}$			600	μA
温度					
指定的范围		-40		105	$^\circ\text{C}$
工作温度范围		-40		105	$^\circ\text{C}$

(1) 在 125°C 下进行的 1000 小时寿命测试表明, 测量限值范围内的变化呈随机分布, 约为 $4\mu\text{V}$ 。

6.8 典型特性：图形表

表 6-1. 特性性能测量

说明	图表
I_B 和 I_{OS} 与共模电压间的关系	图 6-1
输入偏置电流与温度间的关系	图 6-2
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 6-3
CMRR 与温度间的关系	图 6-4
0.1Hz 至 10Hz 噪声	图 6-5
输入电压噪声频谱密度与频率间的关系	图 6-6
开环增益和相位与频率间的关系	图 6-7
开环增益与温度间的关系	图 6-8
开环输出阻抗与频率间的关系	图 6-9
小信号过冲与容性负载间的关系 (100mV 输出阶跃)	图 6-10、图 6-11
无相位反转	图 6-12
正过载恢复	图 6-13
负过载恢复	图 6-14
小信号阶跃响应 (100mV)	图 6-15、图 6-16
大信号阶跃响应	图 6-17、图 6-18
大信号建立时间 (10V 正阶跃)	图 6-19
大信号建立时间 (10V 负阶跃)	图 6-20
短路电流与温度间的关系	图 6-21
最大输出电压与频率间的关系	图 6-22
通道隔离与频率间的关系	图 6-23
EMIRR IN+ 与频率间的关系	图 6-24

6.9 典型特性

在 $V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ (连接至 $V_S/2$) 且 $C_L = 100pF$ 的条件下测得 (除非另有说明)。

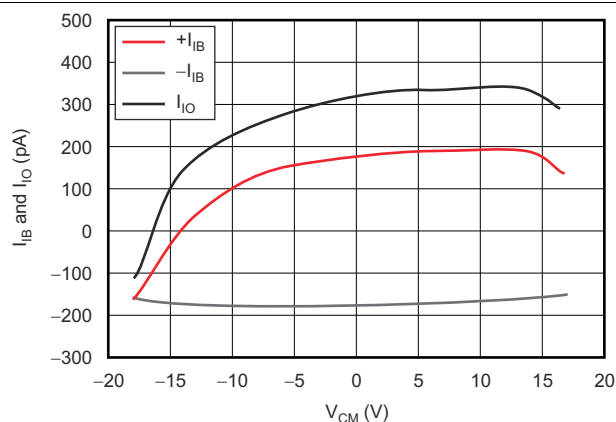


图 6-1. I_{IB} 和 I_{IO} 与共模电压间的关系

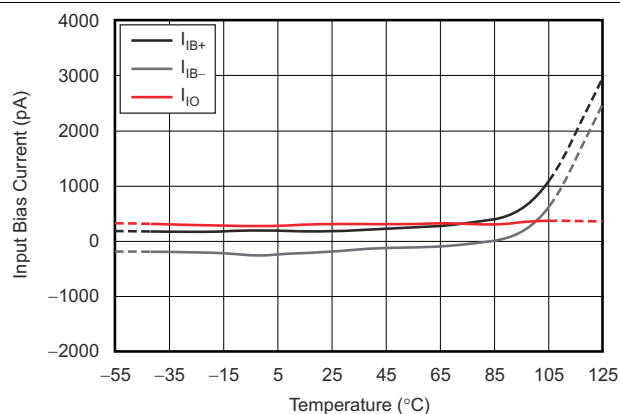


图 6-2. 输入偏置电流与温度间的关系

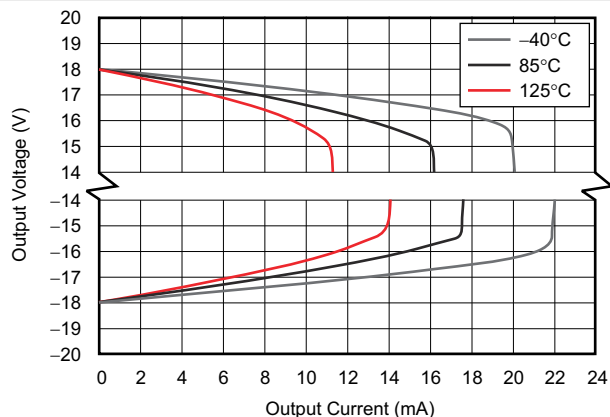
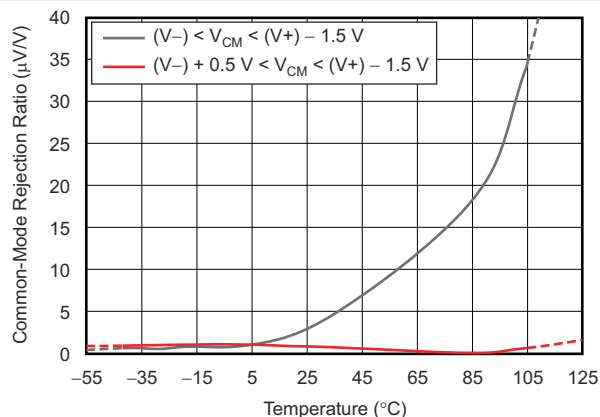


图 6-3. 输出电压摆幅与输出电流间的关系 (最大电源电压)



$V_{SUPPLY} = \pm 2V$

图 6-4. CMRR 与温度间的关系

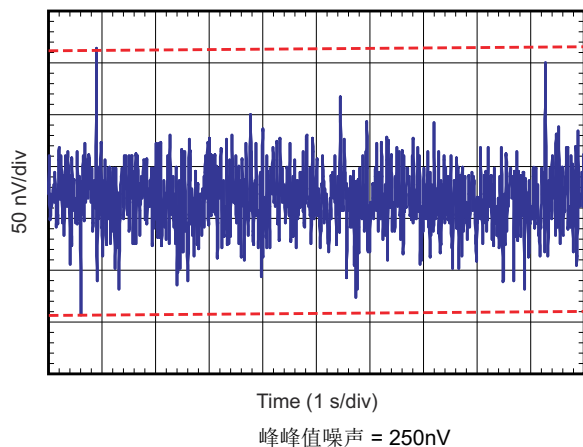


图 6-5. 0.1Hz 至 10Hz 噪声

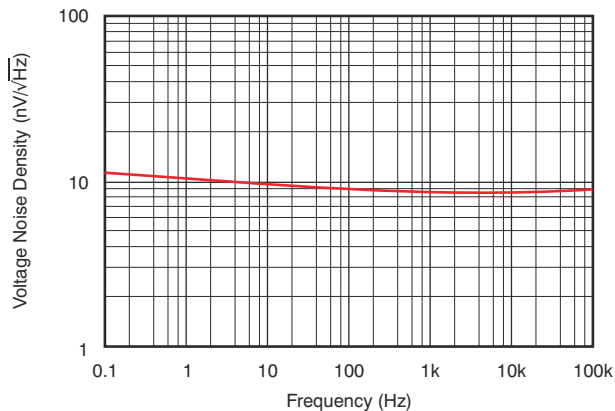


图 6-6. 输入电压噪声频谱密度与频率间的关系

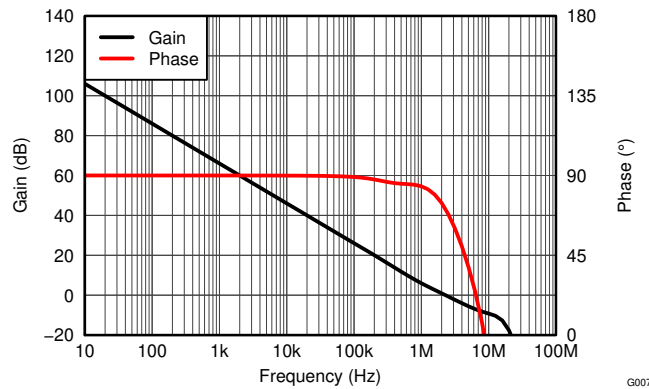


图 6-7. 开环增益和相位与频率间的关系

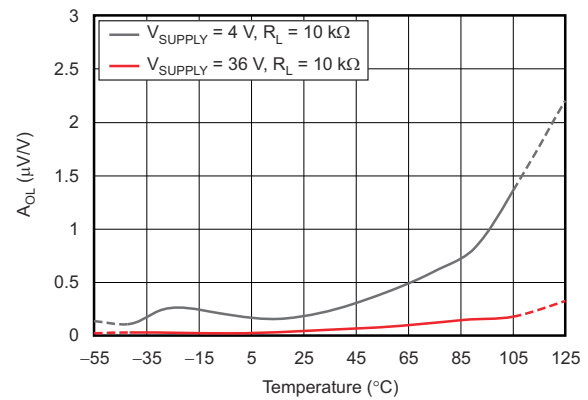


图 6-8. 开环增益与温度间的关系

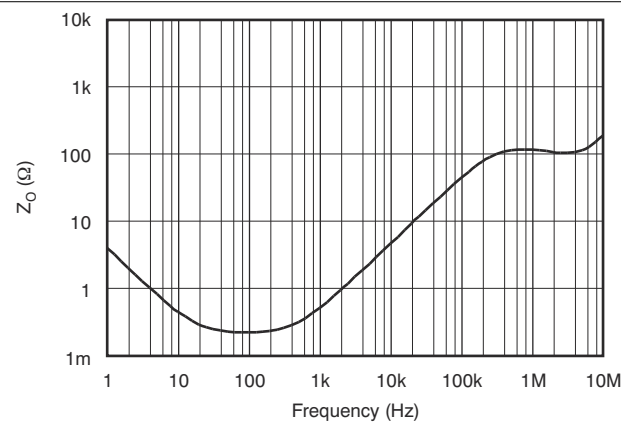


图 6-9. 开环输出阻抗与频率间的关系

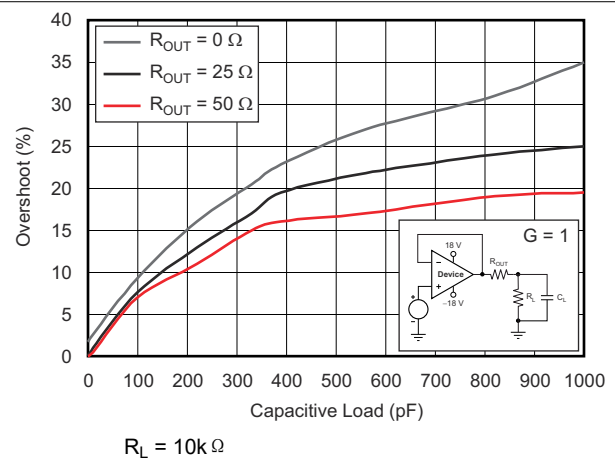


图 6-10. 小信号过冲与容性负载间的关系 (100mV 输出阶跃)

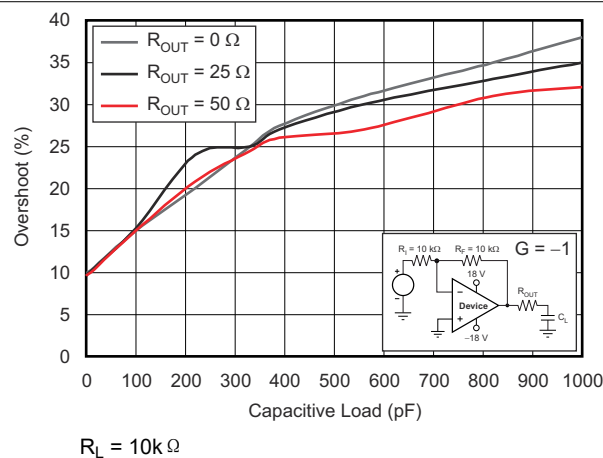


图 6-11. 小信号过冲与容性负载间的关系 (100mV 输出阶跃)

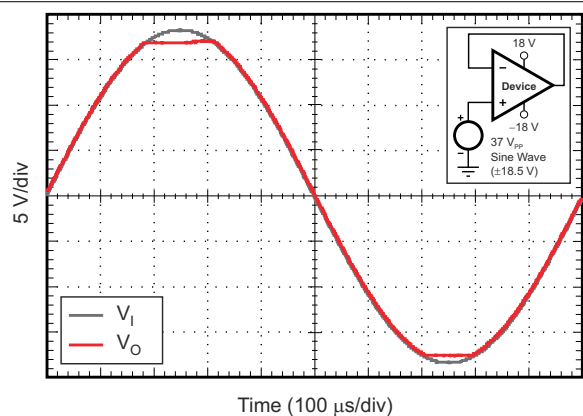


图 6-12. 无相位反转

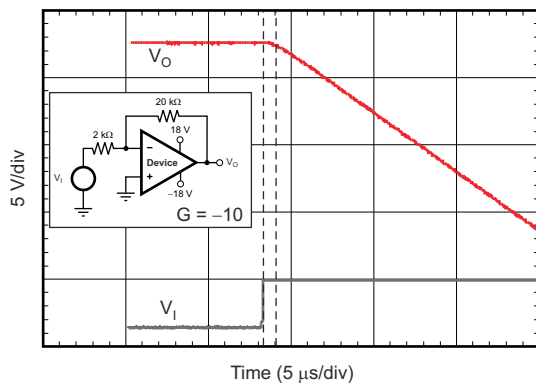


图 6-13. 正过载恢复

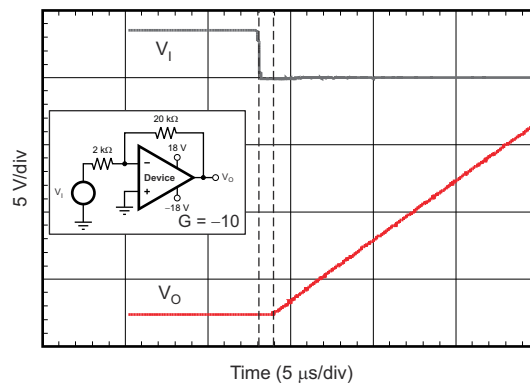


图 6-14. 负过载恢复

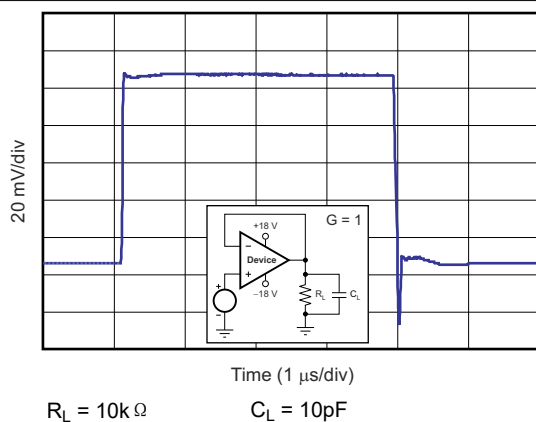


图 6-15. 小信号阶跃响应 (100mV)

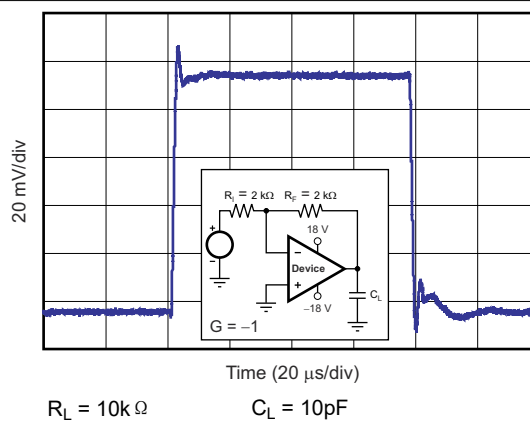


图 6-16. 小信号阶跃响应 (100mV)

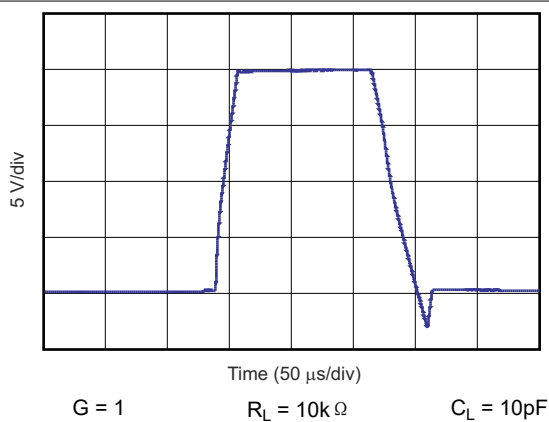


图 6-17. 大信号阶跃响应

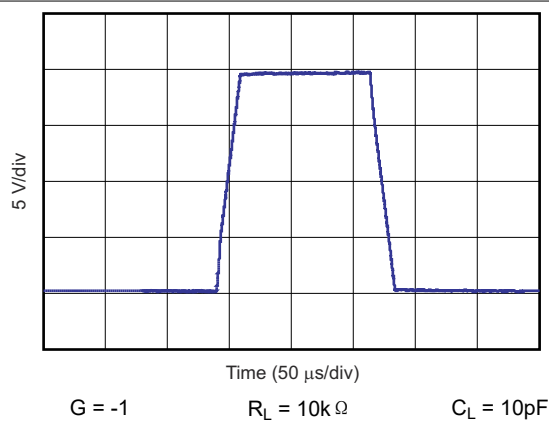


图 6-18. 大信号阶跃响应

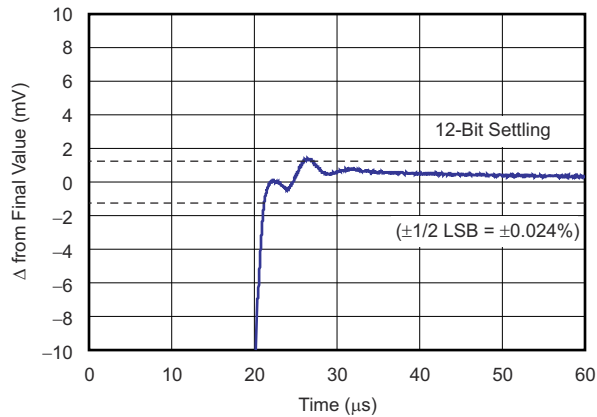


图 6-19. 大信号建立时间 (10V 正阶跃)

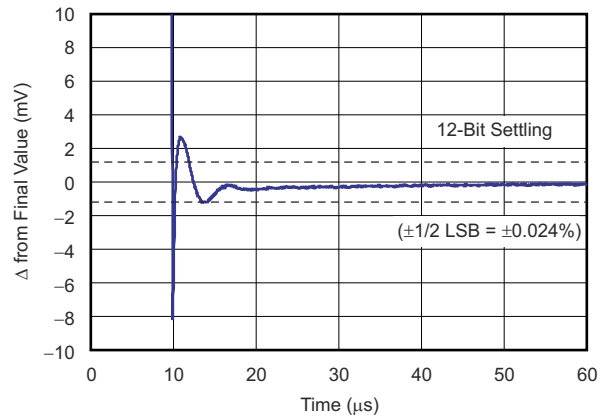


图 6-20. 大信号建立时间 (10V 负阶跃)

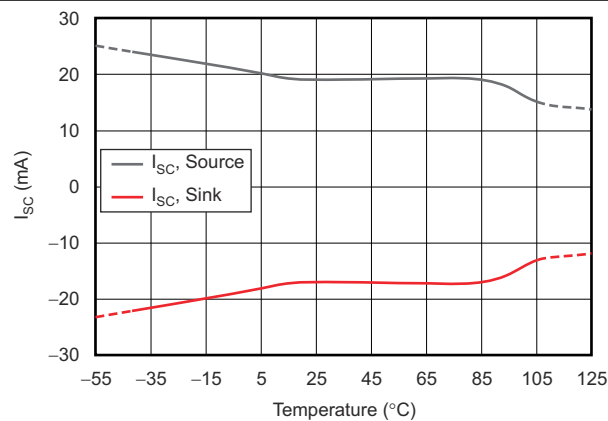


图 6-21. 短路电流与温度间的关系

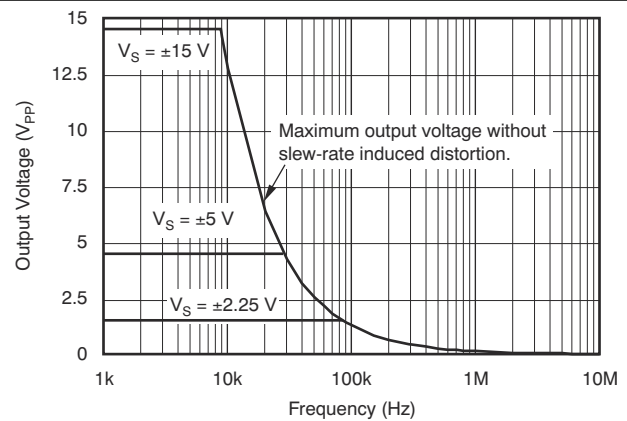


图 6-22. 最大输出电压与频率间的关系

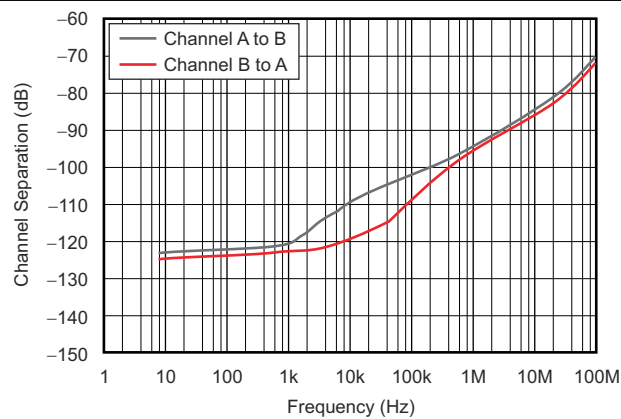


图 6-23. 通道隔离与频率间的关系

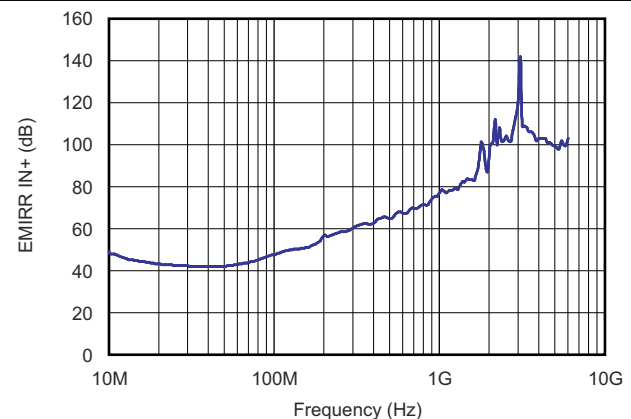


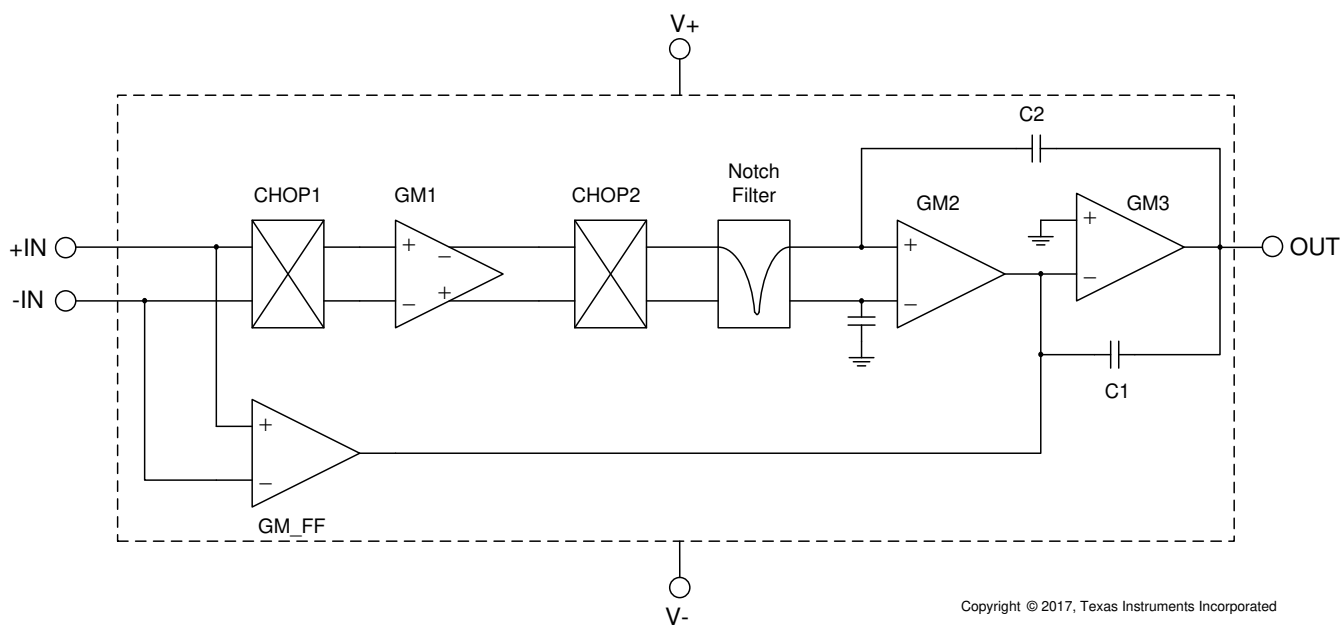
图 6-24. EMIRR IN+ 与频率间的关系

7 详细说明

7.1 概述

OPAx180 系列运算放大器兼具精密的温漂与出色的总体性能，使这些器件成为许多精密应用的理想选择。凭借仅 $0.1\mu\text{V}/^\circ\text{C}$ 的精密温漂，该器件可在整个温度范围内提供稳定性。此外，这些器件还提供出色的总体性能（具有高 CMRR、PSRR 和 A_{OL} ）。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要在器件引脚附近放置去耦合电容器。在大多数情况下， $0.1\mu\text{F}$ 电容器已足够满足需求。

7.2 功能方框图



7.3 特性说明

7.3.1 工作特性

OPAx180 系列放大器的额定工作电压范围是 4V 至 36V ($\pm 2V$ 至 $\pm 18V$)。许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度下适用。[典型特性](#) 中显示了可能会随工作电压或温度的变化而显著变化的参数。

7.3.2 EMI 抑制

OPAx180 系列使用集成电磁干扰 (EMI) 滤波功能来降低干扰源 (如无线通信设备以及混合使用模拟信号链和数字元件的高密度电路板) 产生的 EMI 干扰效应。利用电路设计技术可以提高 EMI 抗扰度；OPAx180 系列可从这些设计改进中受益。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 7-1 展示了对 OPAx180 系列执行该测试的结果。有关更多详细信息，请参阅[运算放大器的 EMI 抑制比](#) 应用报告，可从 www.ti.com 下载。

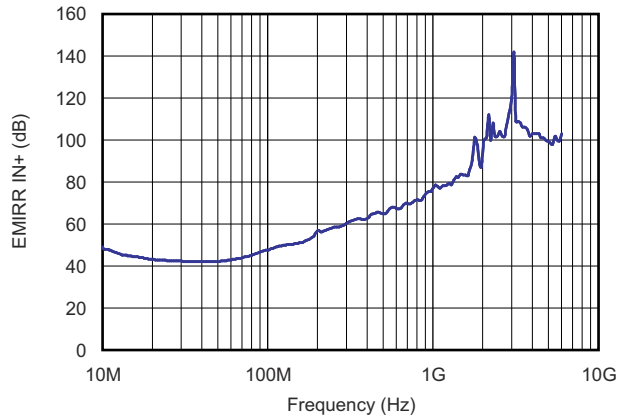


图 7-1. OPAx180 EMIRR 测试

7.3.3 相位反转保护

OPAx180 系列具有内部相位反转保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。OPAx180 的输入端可防止因共模电压过大而发生相位反转。或者，输出被限制至适当的电源轨。图 7-2 中展示了这个特性。

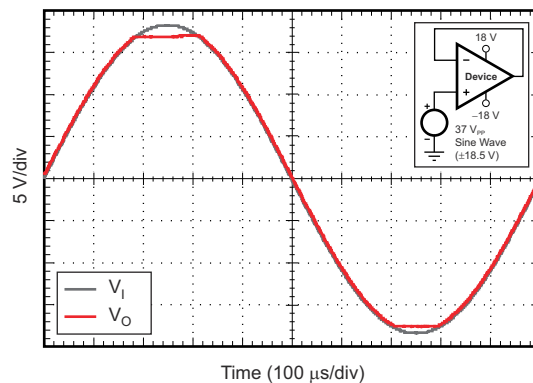
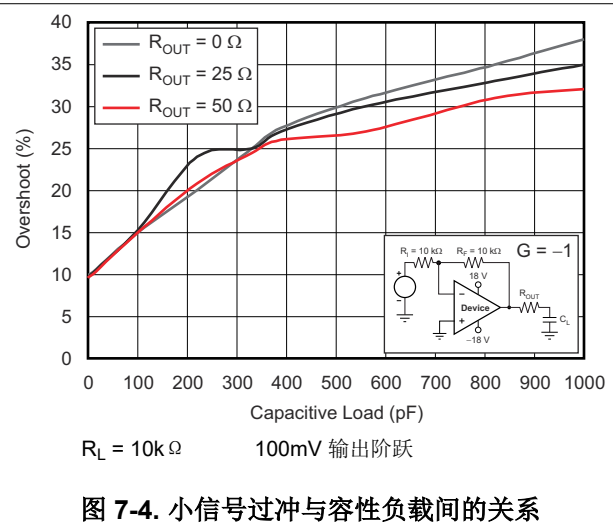
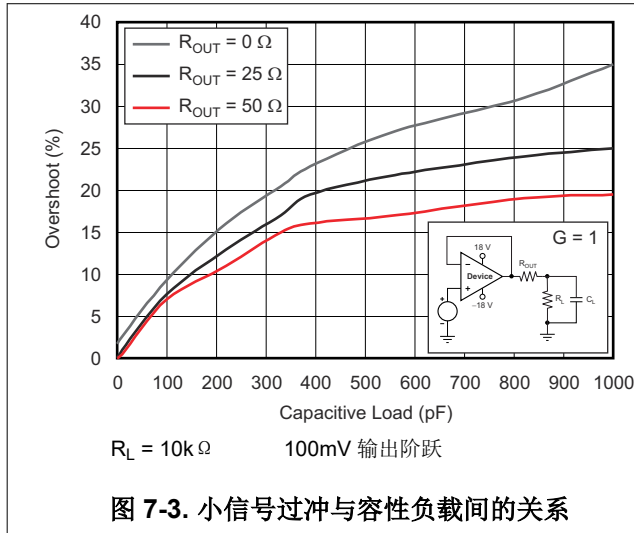


图 7-2. 无相位反转

7.3.4 容性负载和稳定性

OPAx180 的动态特性针对一系列常见的工作条件进行了优化。低闭环增益和高容性负载的特性组合降低了放大器的相位裕度，并导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 $50\ \Omega$ 的 R_{OUT} ）。图 7-3 和图 7-4 展示了在不同 R_{OUT} 值下的小信号过冲与容性负载图。有关分析技术和应用电路的详细信息，请参阅 [反馈图定义运算放大器交流性能](#) 应用公告，此文件可从 TI 网站下载。



7.3.5 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

只要电流如 [绝对最大额定值](#) 表中所述不超过 10mA，这些 ESD 保护二极管就还可以提供电路内输入过驱保护。图 7-5 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

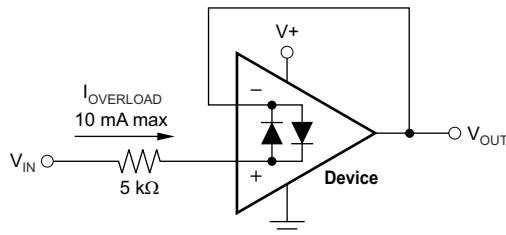


图 7-5. 输入电流保护

ESD 事件可产生短时高压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路旨在围绕运算放大器核心提供一个电流路径，用于防止核心损坏。保护电路吸收的能量将以热量形式耗散。

当运算放大器接入某个电路时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。施加的电压超出指定引脚的工作电压范围时，可能会引起一些问题。如果出现这种情况，可能会导致某些内部 ESD 保护电路被偏置导通并导电。此类电流都由 ESD 单元产生并且很少涉及吸收器件。

如果不确定电源对于该电流的吸收能力，可在电源引脚上添加外部齐纳二极管。必须选择合适的齐纳电压，以便二极管不会在正常工作期间导通。

齐纳电压必须足够低，以便齐纳二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。

7.4 器件功能模式

OPAx180 OPA2180 和 OPA4180 器件会在连接电源时通电。这些器件可根据应用情况作为单电源运算放大器或双电源放大器使用。在 V^- 接地 (0V) 的单电源运行中， V^+ 可以是 4V 至 36V 之间的任意值。在双电源运行中， V^- 和 V^+ 之间的电源电压差为 4V 至 36V。双电源配置的典型示例为 $\pm 5V$ 、 $\pm 10V$ 、 $\pm 15V$ 和 $\pm 18V$ 。但电源无需对称。不太常见的示例包括 V^- 为 $-3V$ 且 V^+ 为 9V 或 V^- 为 $-16V$ 且 V^+ 为 5V。 V^- 和 V^+ 之间的差值至少为 4V 且不超过 36V 的任意组合均处于这些器件的正常运行能力范围内。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

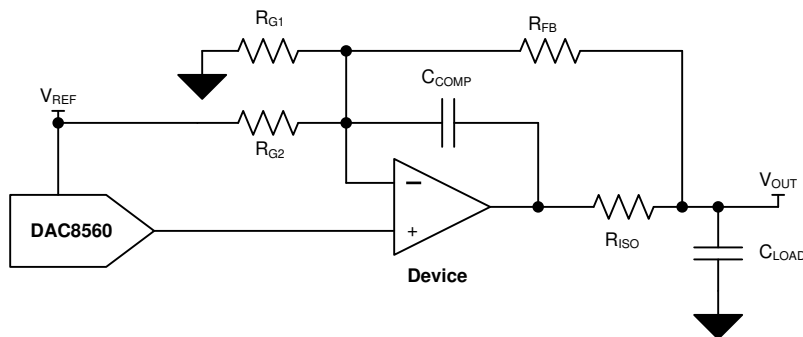
OPAx180 系列提供出色的直流精度和交流性能。这些器件支持高达 36V 电源轨运行，并提供轨到轨输出、超低失调电压、失调电压漂移以及 2MHz 带宽。这些特性使 OPAx180 成为一款适用于高电压工业应用且稳定可靠的高性能放大器。

8.2 典型应用

以下应用示例突显了一些可以使用 OPAx180 系列的电路。

8.2.1 单极电压输出 DAC 的双极 $\pm 10V$ 模拟输出

本设计使用 OPAx180 系列和三个电阻器将单极数模转换器 (DAC) 调节为精确的双极信号源。电路的设计中考虑到了电抗负载稳定性，并且进行了补偿，几乎可以驱动与加长电缆长度相关联的任何传统容性负载。



Copyright © 2017, Texas Instruments Incorporated

图 8-1. 电路原理图

8.2.1.1 设计要求

设计要求如下：

- DAC 电源电压：+5V 直流
- 放大器电源电压： $\pm 15V$ 直流
- 输入：3 线、24 位 SPI
- 输出： $\pm 10V$ 直流

8.2.1.2 详细设计过程

8.2.1.2.1 元件选型

DAC：为方便起见，具有外部基准选项的器件或具有可访问内部基准的器件在此应用中表现更理想，因为基准会产生失调。该设计中的 **DAC** 选择必须主要基于直流误差影响，通常可以通过失调误差、增益误差和积分非线性误差对其进行描述。有时还会提供其他规格，用于汇总 **DAC** 的终点误差，通常称为零代码误差和满量程误差。对于交流应用，可能需要额外考虑压摆率和趋稳时间。

放大器：放大器输入失调电压 (V_{IO}) 是该设计的关键考虑因素。运算放大器的 V_{IO} 是典型的数据表规格，但电路内的性能也受漂移过热、共模抑制比 (**CMRR**) 和电源抑制比 (**PSRR**) 的影响；因此，也必须考虑这些参数。对于交流运行，必须额外考虑压摆率和趋稳时间的相关因素。输入偏置电流 (I_{IB}) 也可以作为一个因素考虑，但通常情况下，电阻器网络是使用足够小的电阻值来实现的，使得输入偏置电流的影响可以忽略不计。

无源：运算放大器电阻器网络的电阻器匹配对于此设计的成功至关重要；必须选择严密容差的元件。本设计使用容差为 0.1% 的电阻器，但此限制可根据具体应用的设计目标进行调整。电阻器匹配会影响此设计中的失调误差和增益误差；有关进一步详细信息，请参阅[单极电压输出 DAC 的双极 ±10V 模拟输出](#)。 R_{ISO} 和 C_{COMP} 稳定性元件的容差并不重要，1% 容差的元件即可接受。

8.2.1.3 应用曲线

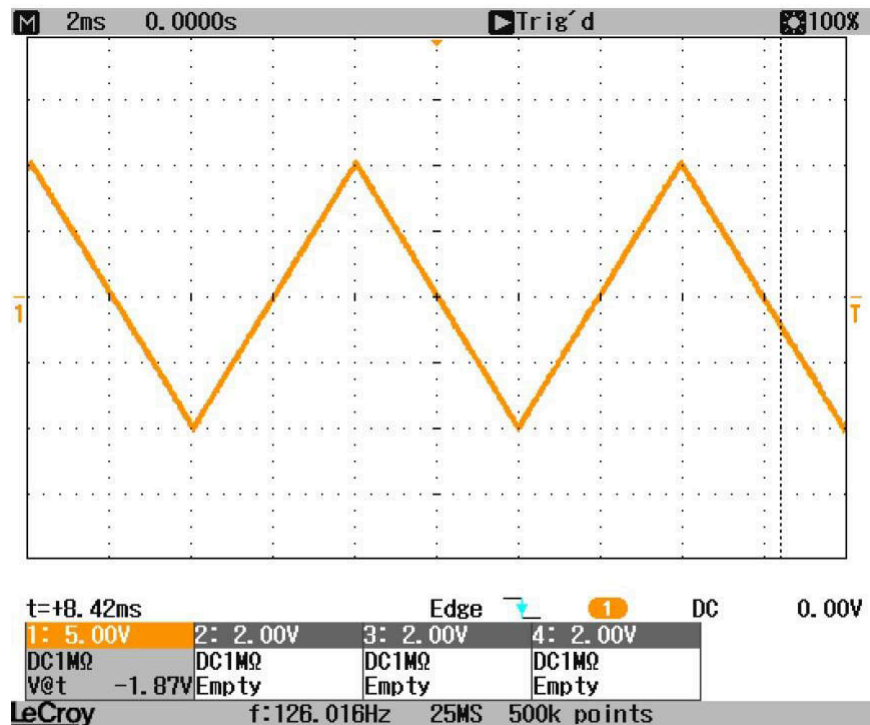


图 8-2. 满量程输出波形

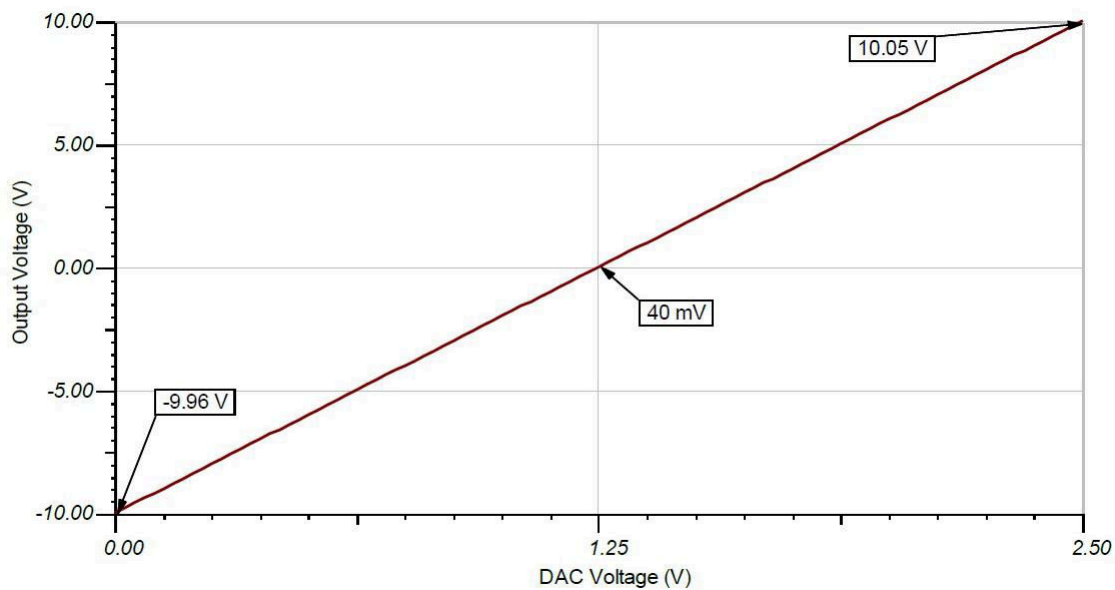


图 8-3. 直流传输特性

有关分步设计程序、电路原理图、物料清单、PCB 文件、仿真结果和测试结果，请参阅 [TI 精密设计 TIPD125](#)，[单极电压输出 DAC 的双极 ±10V 模拟输出](#)

8.2.2 分立式INA + 衰减功能

OPAx180 系列可用作精密分立式仪表放大器 (具有衰减功能) 的高电压、高阻抗前端。图 8-4 中的 INA159 提供了使该电路与 3.3V 或 5V 模数转换器 (ADC) 轻松连接的衰减功能。

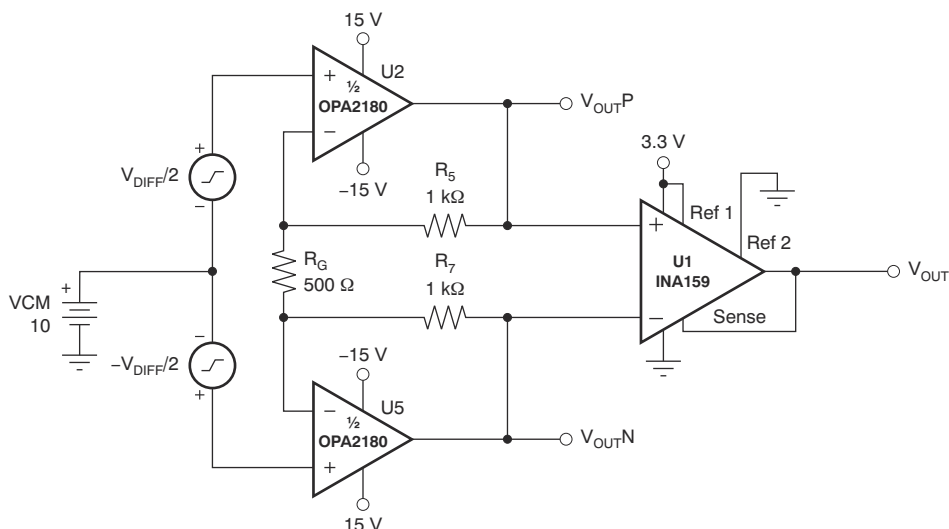
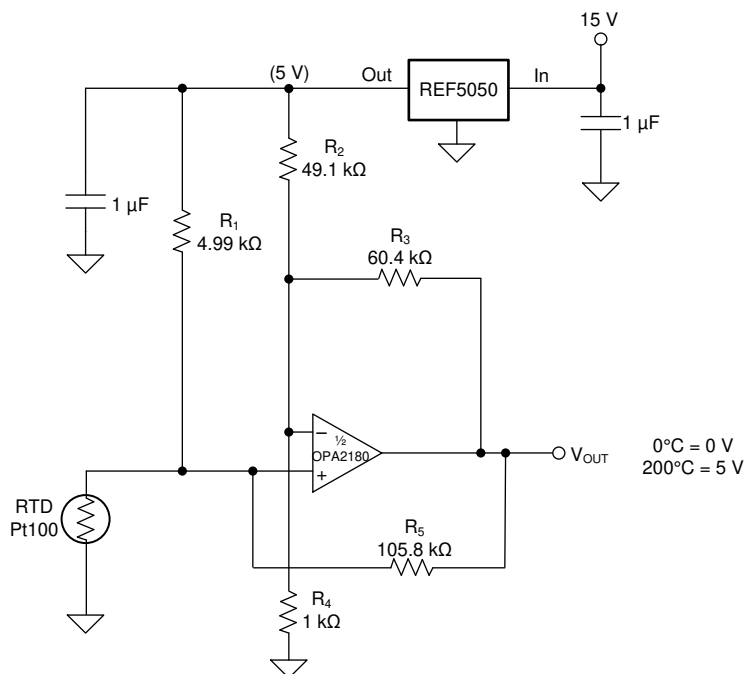


图 8-4. 具有 3.3V 电源的 ADC 的分立式 INA + 衰减功能

8.2.3 RTD 放大器

OPAx180 非常适合用于电阻式温度检测器 (RTD) 的模拟线性化。图 8-5 中的电路将 OPAx180 放大器的精度与 REF5050 的精密基准相结合，以线性化 Pt100 RTD。



Copyright © 2017, Texas Instruments Incorporated

注意：R₅ 提供正变化激励以使输出线性化。

图 8-5. 具有线性化功能的 RTD 放大器

8.3 电源相关建议

OPAx180 系列的额定工作电压为 4V 至 36V ($\pm 2V$ 至 $\pm 18V$)；多种规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围内适用。以下部分中介绍了可能会随工作电压或温度的变化而显著变化的参数： [节 8.4](#)

小心

电源电压超过 40 V 会对器件造成损坏；请参阅[绝对最大额定值](#)。

将 $0.1\ \mu\text{F}$ 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 [节 8.4](#)。

8.4 布局

8.4.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过整个电路的电源引脚传播到模拟电路中，也可以通过运算放大器传播到模拟电路中。旁路电容器通过在模拟电路局部提供低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1\ \mu\text{F}$ 陶瓷旁路电容器，并尽量靠近器件放置。
 针对单电源应用， $V+$ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地平面有助于散热和减少 EMI 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果无法使这些输入走线保持分离，将敏感走线与有噪声走线以垂直交叉而非平行的方式布放要好得多。
- 外部元件应尽量靠近器件放置。如图 8-6 所示，使 RF 和 RG 靠近反相输入可更大限度减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

8.4.2 布局示例

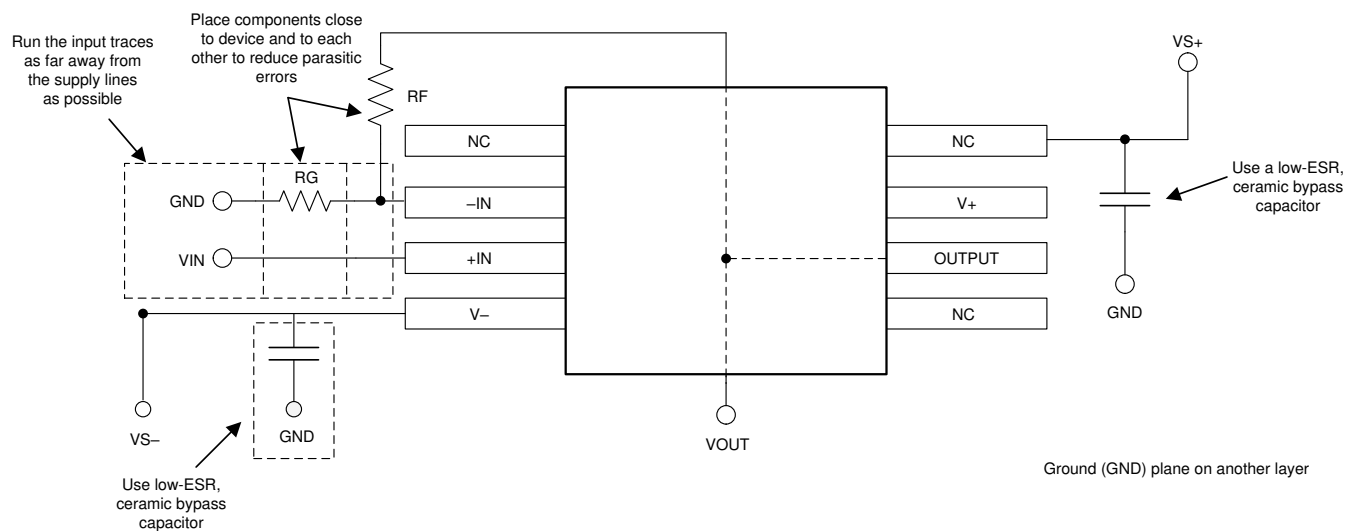


图 8-6. 同相配置的运算放大器电路板布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (June 2018) to Revision F (September 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 删除了 电气特性 表中 I_{IB} 和 I_{IO} 的最小值.....	9
• 将 OPA2180 的 I_{IB} 最大值从 $\pm 1\text{nA}$ 更改为 $\pm 1.5\text{nA}$	9
• 将 OPA2180 的 I_{IO} 最大值从 $\pm 2\text{nA}$ 更改为 $\pm 3\text{nA}$	9
• 将 I_{IB} 最大值从 $\pm 5\text{nA}$ ($T_A = -40^\circ\text{C}$ 至 105°C) 和 $\pm 6\text{nA}$ ($T_A = -40^\circ\text{C}$ 至 125°C) 更改为 $\pm 18\text{nA}$	9
• 将 I_{IO} 最大值从 $\pm 2.5\text{nA}$ ($T_A = -40^\circ\text{C}$ 至 105°C) 和 $\pm 3\text{nA}$ ($T_A = -40^\circ\text{C}$ 至 125°C) 更改为 $\pm 6\text{nA}$	9

Changes from Revision D (May 2014) to Revision E (June 2018)	Page
• 将 说明 部分中 OPA180 和 OPA4180 的工作温度从 “ -40°C 至 $+105^\circ\text{C}$ ” 更改为 “ -40°C 至 $+125^\circ\text{C}$ ”	1
• 添加了存储温度参数作为 绝对最大额定值 表的最后一行.....	7
• 将 绝对最大额定值 表中的最大运行温度从 105°C 更改为 125°C	7
• 将 建议运行条件 表中的最大运行温度从 105°C 更改为 125°C	7
• 将 电气特性 表中的输入失调电压温漂范围从 $T_A = -40^\circ\text{C}$ 至 105°C 更改为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	9
• 将 电气特性 表中的电源抑制比温度范围从 $T_A = -40^\circ\text{C}$ 至 105°C 更改为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	9
• 将 电气特性 表中的 OPA180 输入偏置电流温度范围从 $T_A = -40^\circ\text{C}$ 至 105°C 更改为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	9
• 在 电气特性 表中添加了 OPA2180 最小输入偏置电流值 18nA	9
• 在 电气特性 表中添加了 OPA180 最小输入偏置电流值 18nA	9
• 将 电气特性 表中的 OPA180 输入失调电流温度范围从 $T_A = -40^\circ\text{C}$ 至 105°C 更改为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	9
• 在 电气特性 表中添加了 OPA2180 最小输入失调电流值 6nA	9

• 在 <i>电气特性</i> 表中添加了 OPA180 最小输入失调电流值 6nA.....	9
• 将 <i>电气特性</i> 表中的共模抑制比温度范围从 $T_A = -40^{\circ}\text{C}$ 至 105°C 更改为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	9
• 将 <i>电气特性</i> 表中的开环电压增益温度范围从 $T_A = -40^{\circ}\text{C}$ 至 105°C 更改为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	9
• 将 <i>电气特性</i> 表中相对于电源轨的电压输出摆幅温度范围从 $T_A = -40^{\circ}\text{C}$ 至 105°C 更改为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	9
• 将 <i>电气特性</i> 表中的静态电流温度范围从 $T_A = -40^{\circ}\text{C}$ 至 105°C 更改为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$	9
• 将 <i>特性说明</i> 部分中的工作温度从 “ -40°C 至 $+105^{\circ}\text{C}$ ” 更改为 “ -40°C 至 $+125^{\circ}\text{C}$ ”	17
• 更新了图 8-5.....	23
• 将 <i>电源相关建议</i> 部分中的工作温度从 “ -40°C 至 $+105^{\circ}\text{C}$ ” 更改为 “ -40°C 至 $+125^{\circ}\text{C}$ ”	24

Changes from Revision C (December 2012) to Revision D (May 2014)	Page
• 更改格式以符合最新的数据表标准；添加了 <i>器件功能模式</i> 、 <i>应用和实施</i> 以及 <i>电源相关建议</i> 部分，并移动了现有部分.....	1
• 向文档添加了 OPA180.....	1
• 添加了“器件信息”表.....	1
• 添加了“引脚功能”表.....	4
• 删除了“封装信息”表.....	4
• OPA180 引脚排列图.....	4
• 添加了“建议运行条件”表.....	7
• 添加了“热性能信息：OPA180”表.....	8
• 更改了“电气特性”表中的失调电压、长期稳定性 参数典型规格.....	9
• 更改了 <i>EMI 抑制</i> 部分的最后一句.....	17

Changes from Revision B (December 2011) to Revision C (June 2012)	Page
• 将产品状态从“混合状态”更改为“量产数据”	1
• 将 OPA4180 状态更改为“量产数据”	1
• 向“封装信息”表中的 OPA2180 VSSOP-8 行添加了封装标记.....	4
• 删除了“封装信息”表的订购编号和运输介质列.....	4
• 更改了“电气特性”（ $V_S = +4\text{V}$ 至 $+36\text{V}$ ）表中的输入偏置电流部分.....	9

Changes from Revision A (November 2011) to Revision B (December 2011)	Page
• 更改了“电气特性”表的脚注 1.....	9
• 更新了图 6-7.....	12

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA180ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVTG4.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA2180ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180ID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK.A	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK.B	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2180IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA4180ID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180ID.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPW	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPW.B	Active	Production	TSSOP (PW) 14	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWR.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWRG4	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWRG4.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

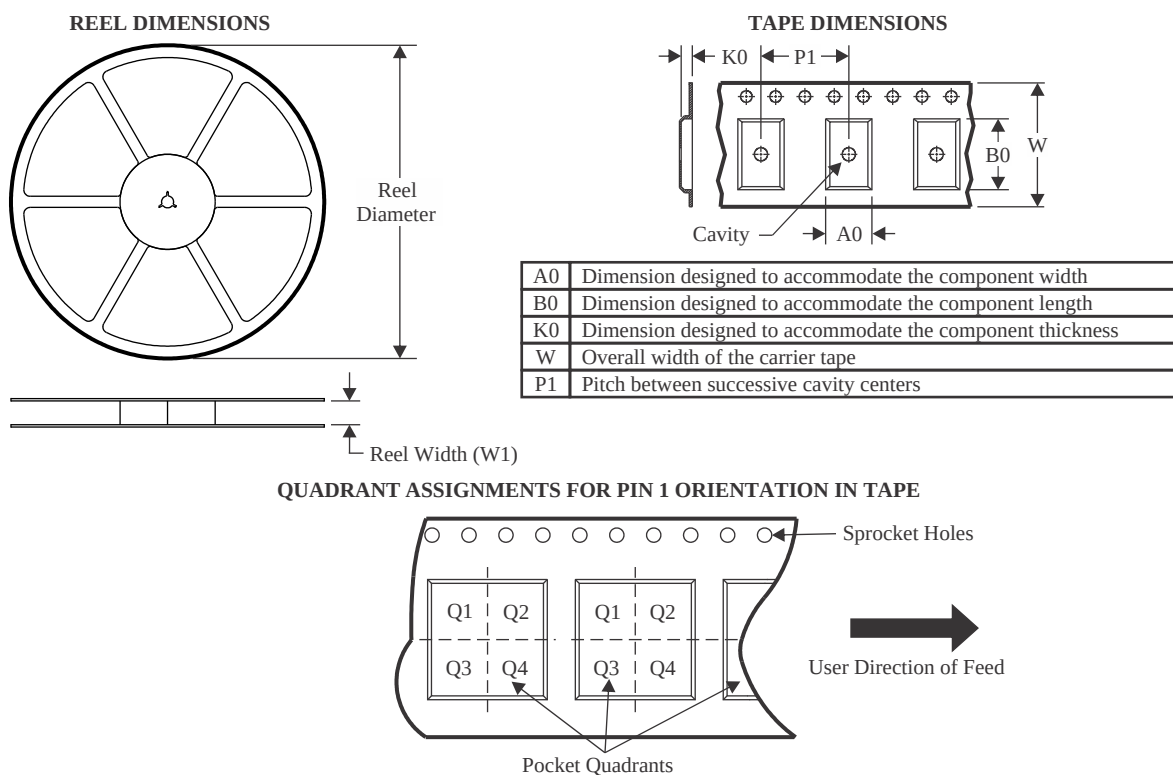
OTHER QUALIFIED VERSIONS OF OPA180, OPA2180 :

- Automotive : [OPA180-Q1](#), [OPA2180-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

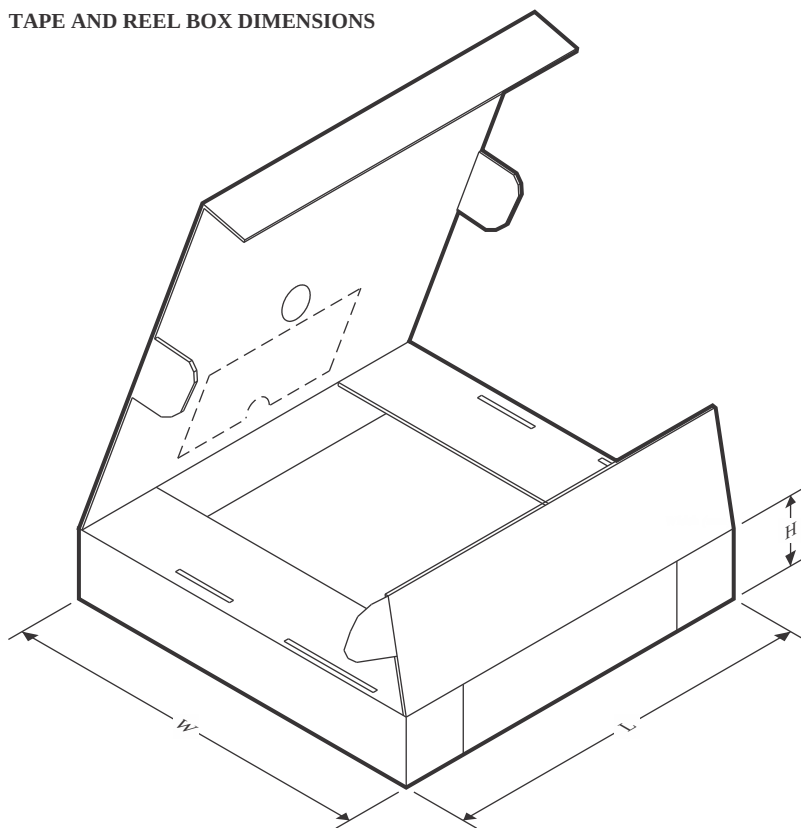
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA180IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA180IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDBVTG4	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA180IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA180IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA180IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2180IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2180IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2180IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4180IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4180IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4180IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

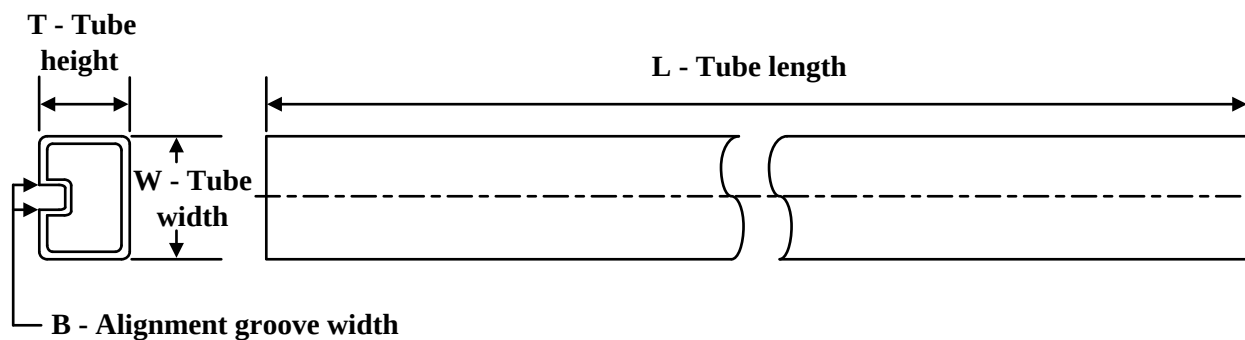
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

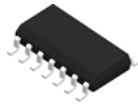
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA180IDBVR	SOT-23	DBV	5	3000	223.0	270.0	35.0
OPA180IDBVR	SOT-23	DBV	5	3000	190.0	190.0	30.0
OPA180IDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA180IDBVTG4	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA180IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA180IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
OPA180IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA180IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2180IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2180IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2180IDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2180IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2180IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4180IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4180IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4180IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE

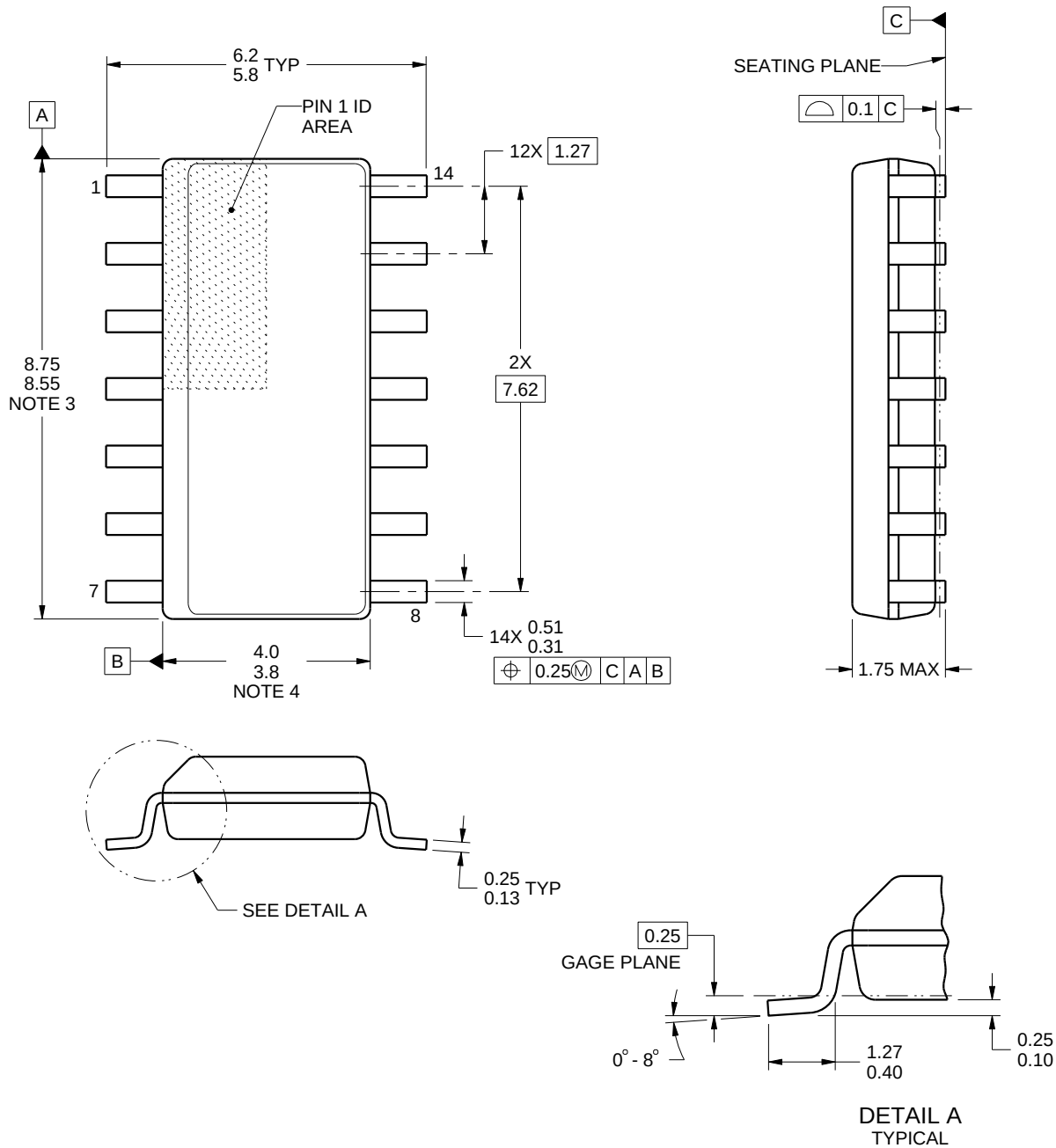


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA180ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA180ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180IDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2180IDGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2180IDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA4180ID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4180ID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4180IPW	PW	TSSOP	14	90	508	8.5	3250	2.8
OPA4180IPW.B	PW	TSSOP	14	90	508	8.5	3250	2.8

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

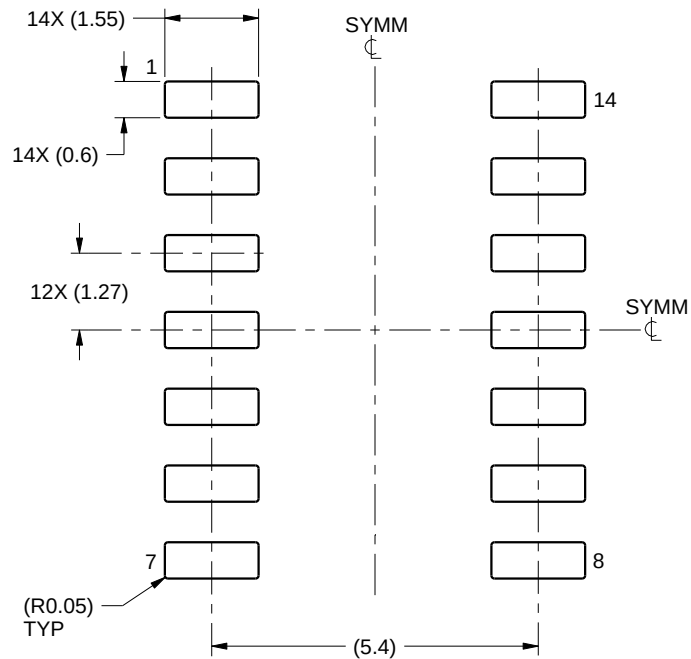
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

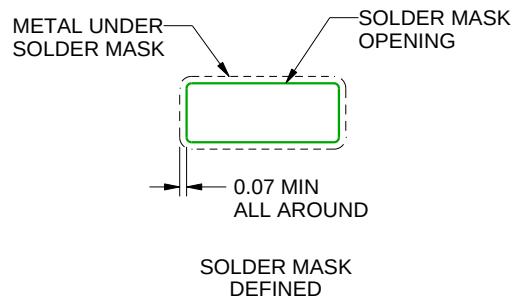
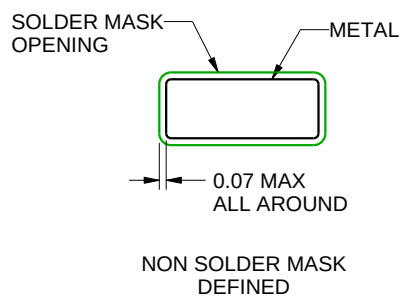
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

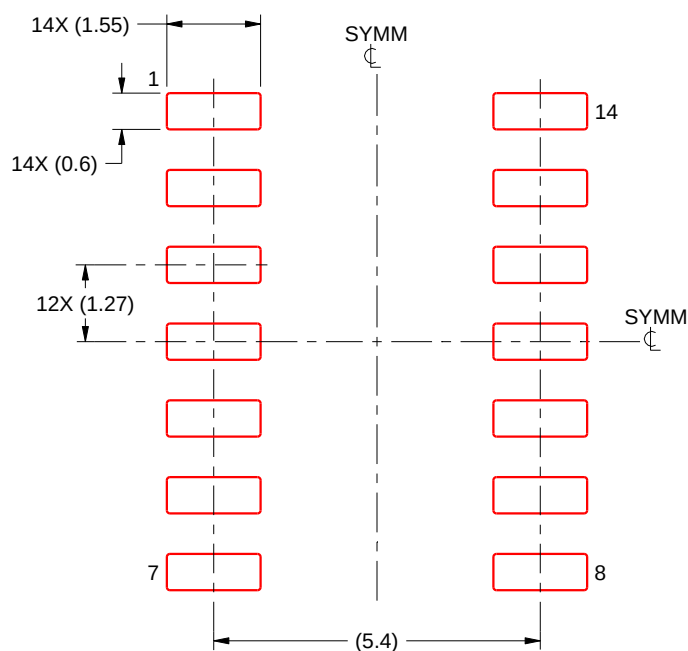
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

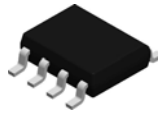


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

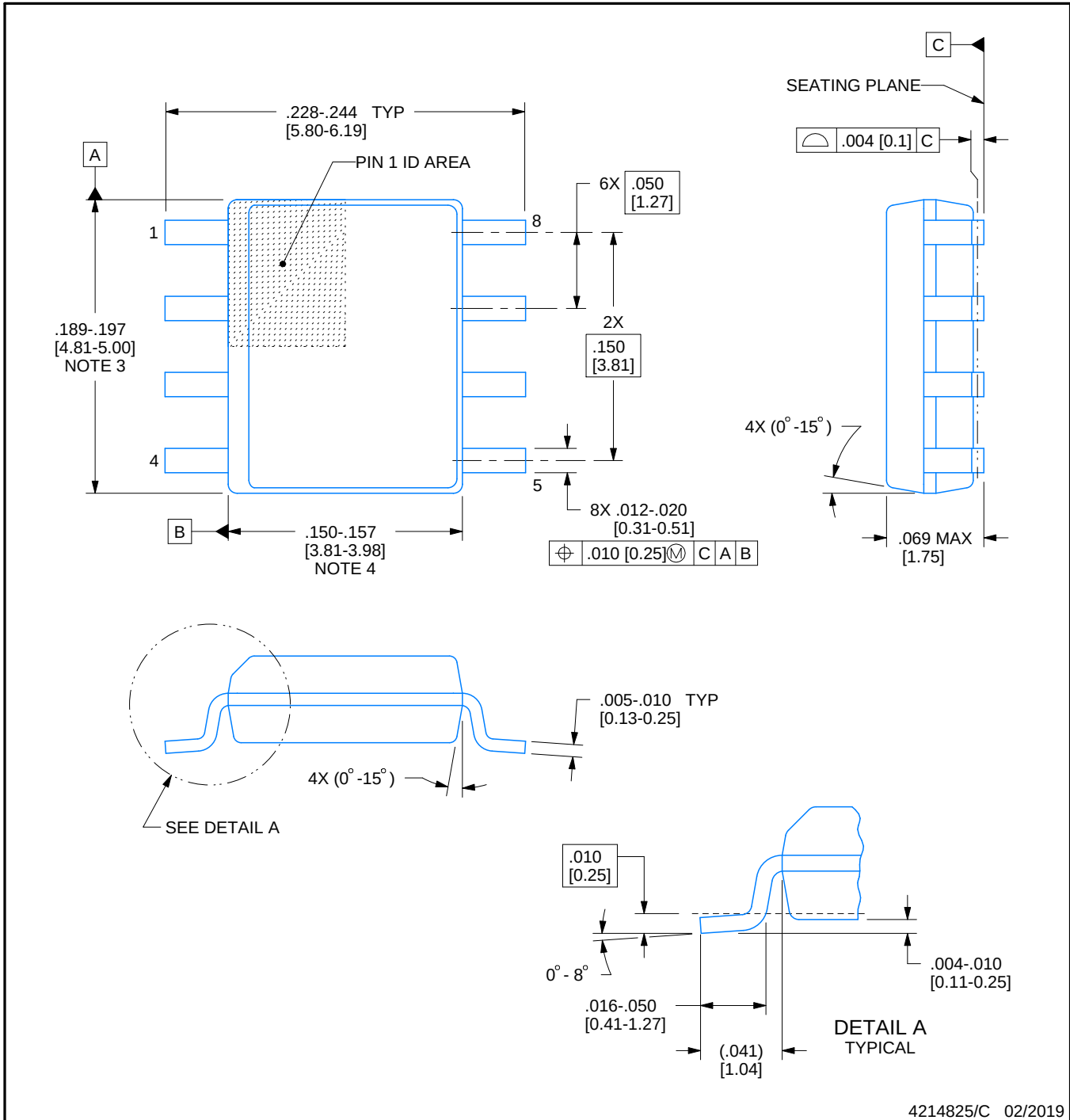


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

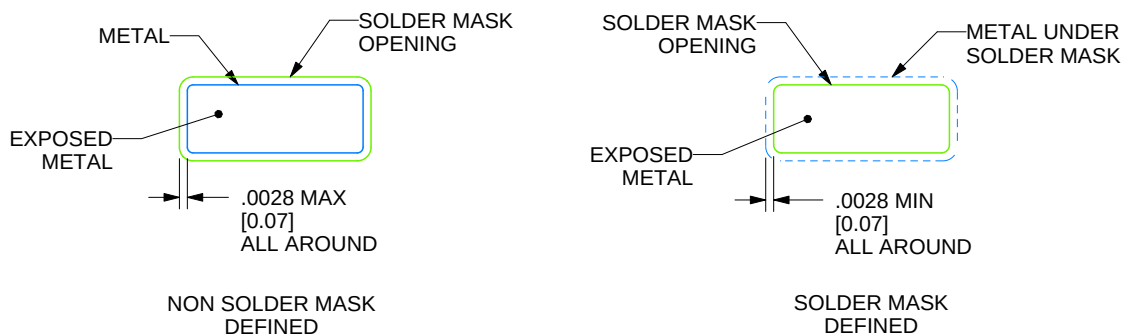
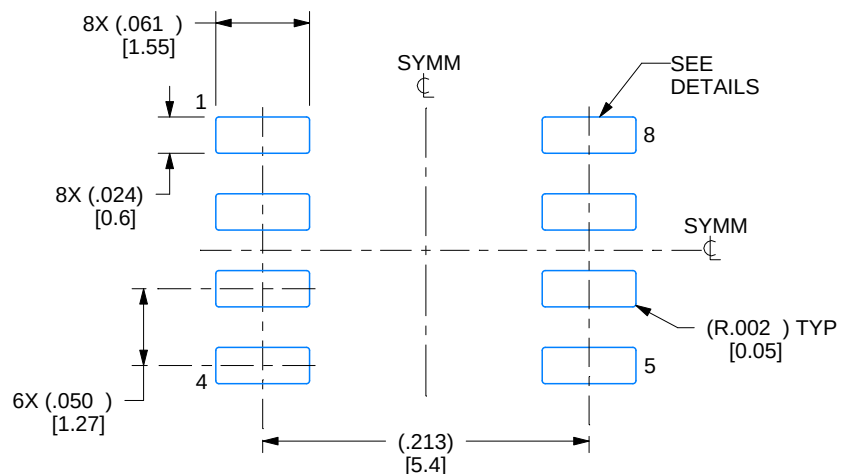
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

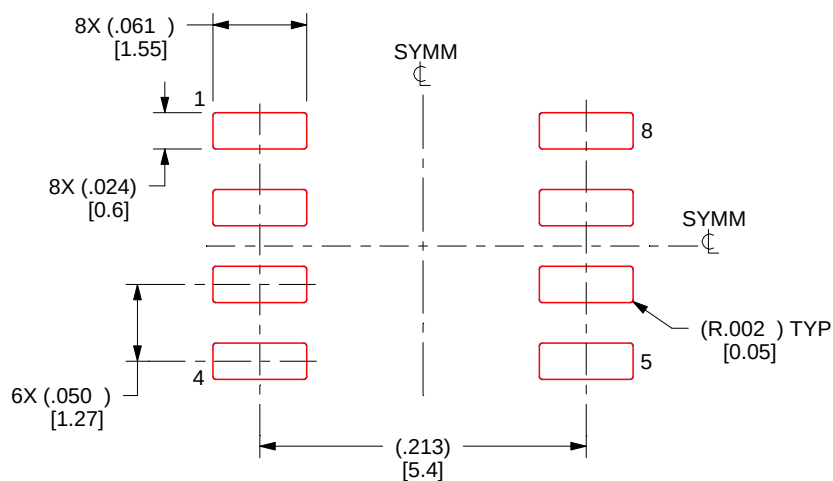
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

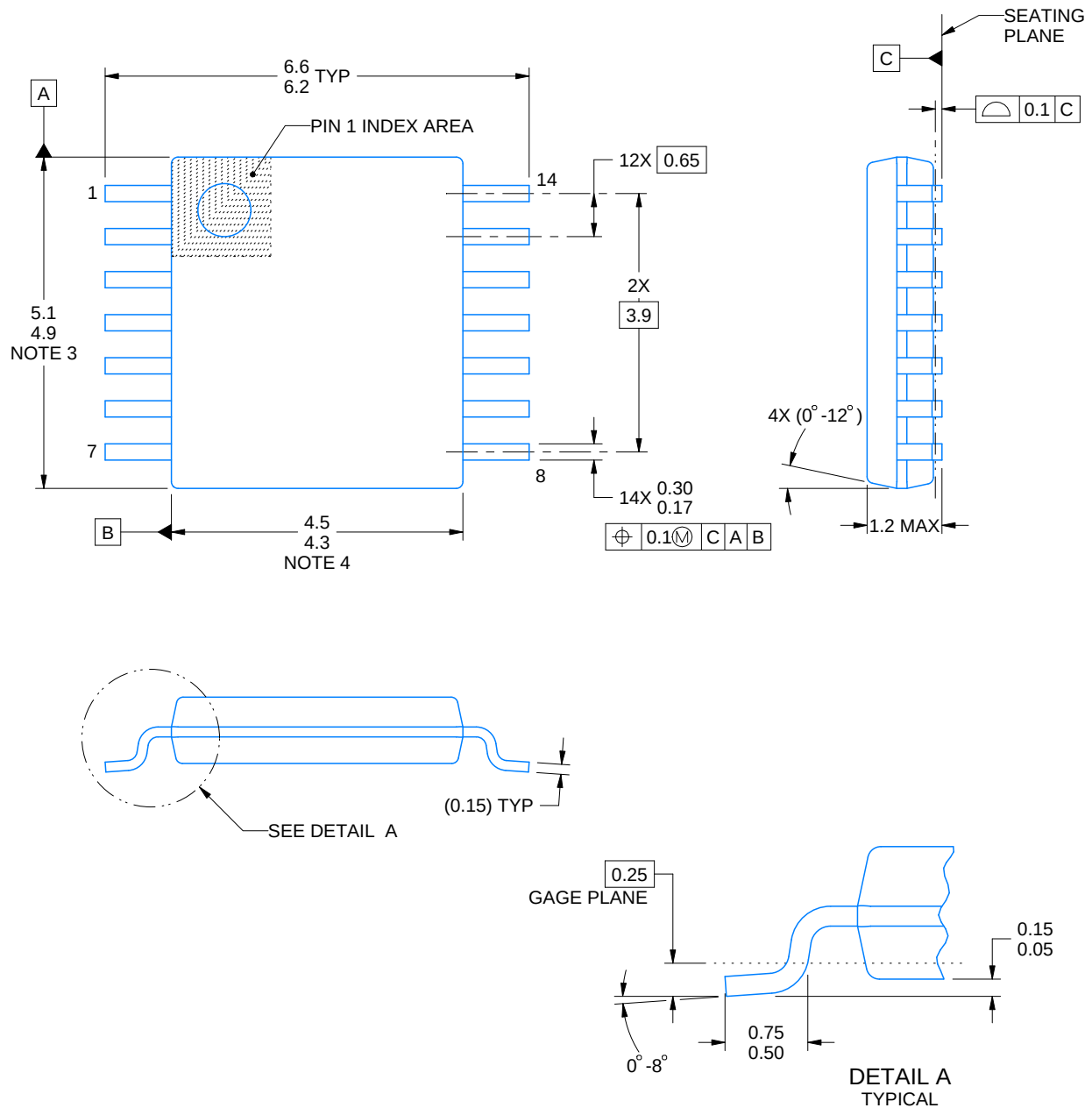
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

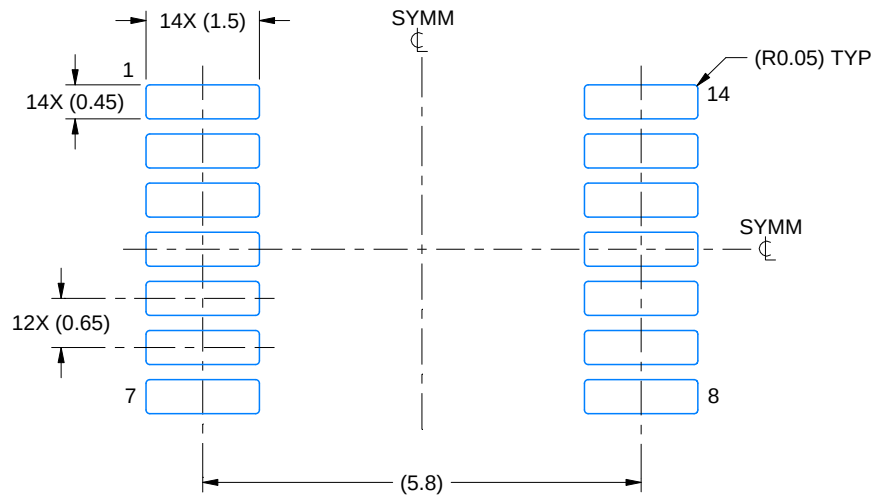
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

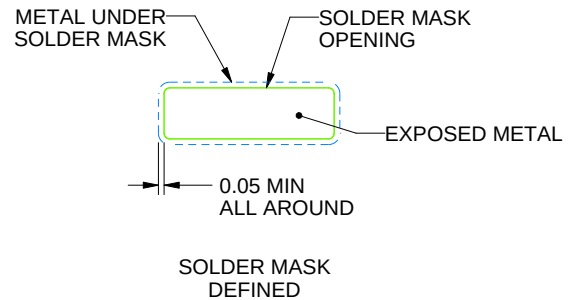
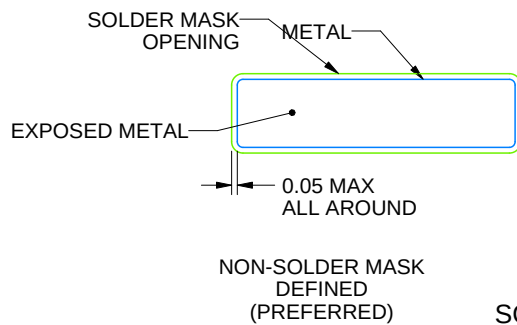
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

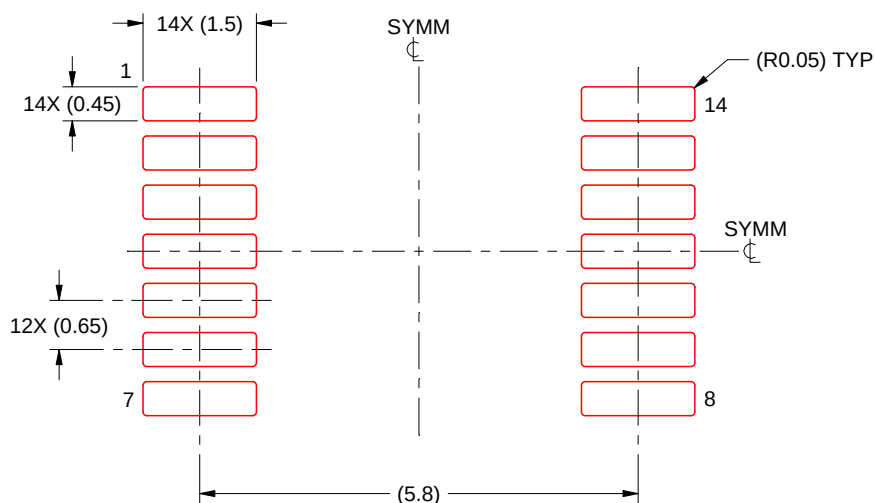
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

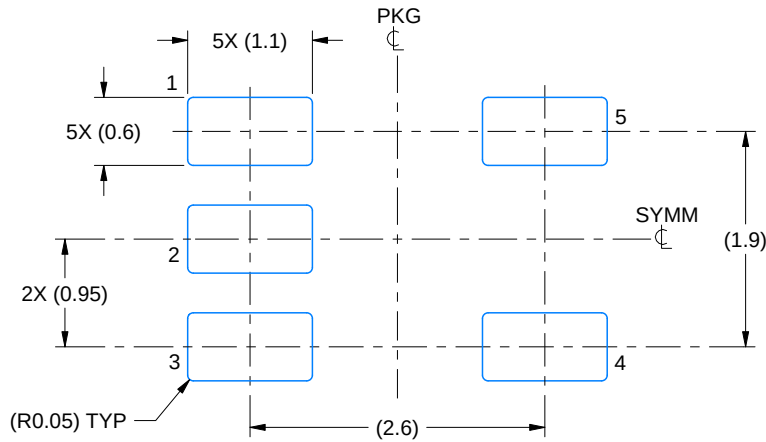
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

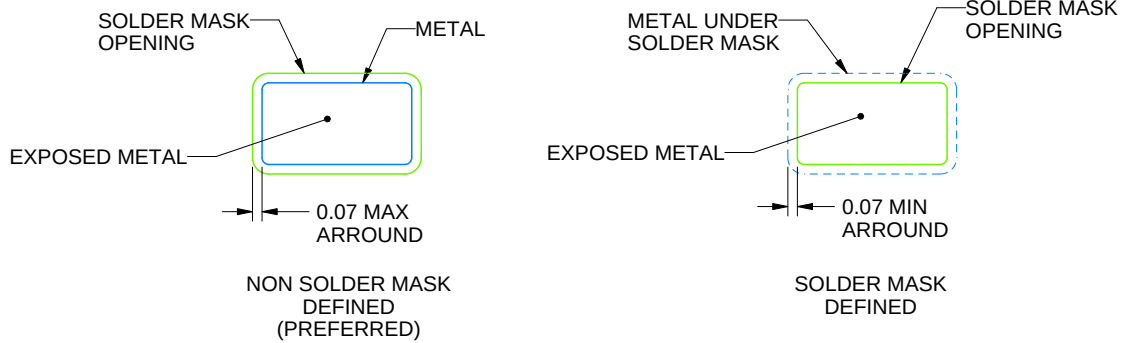
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

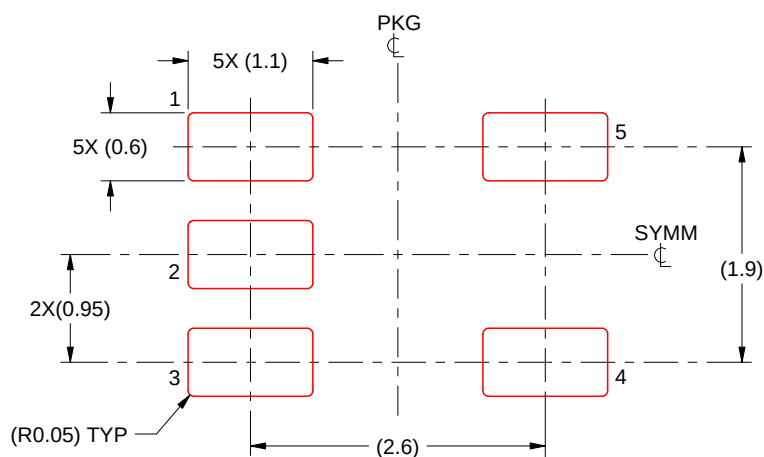
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



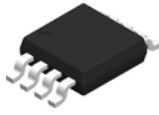
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

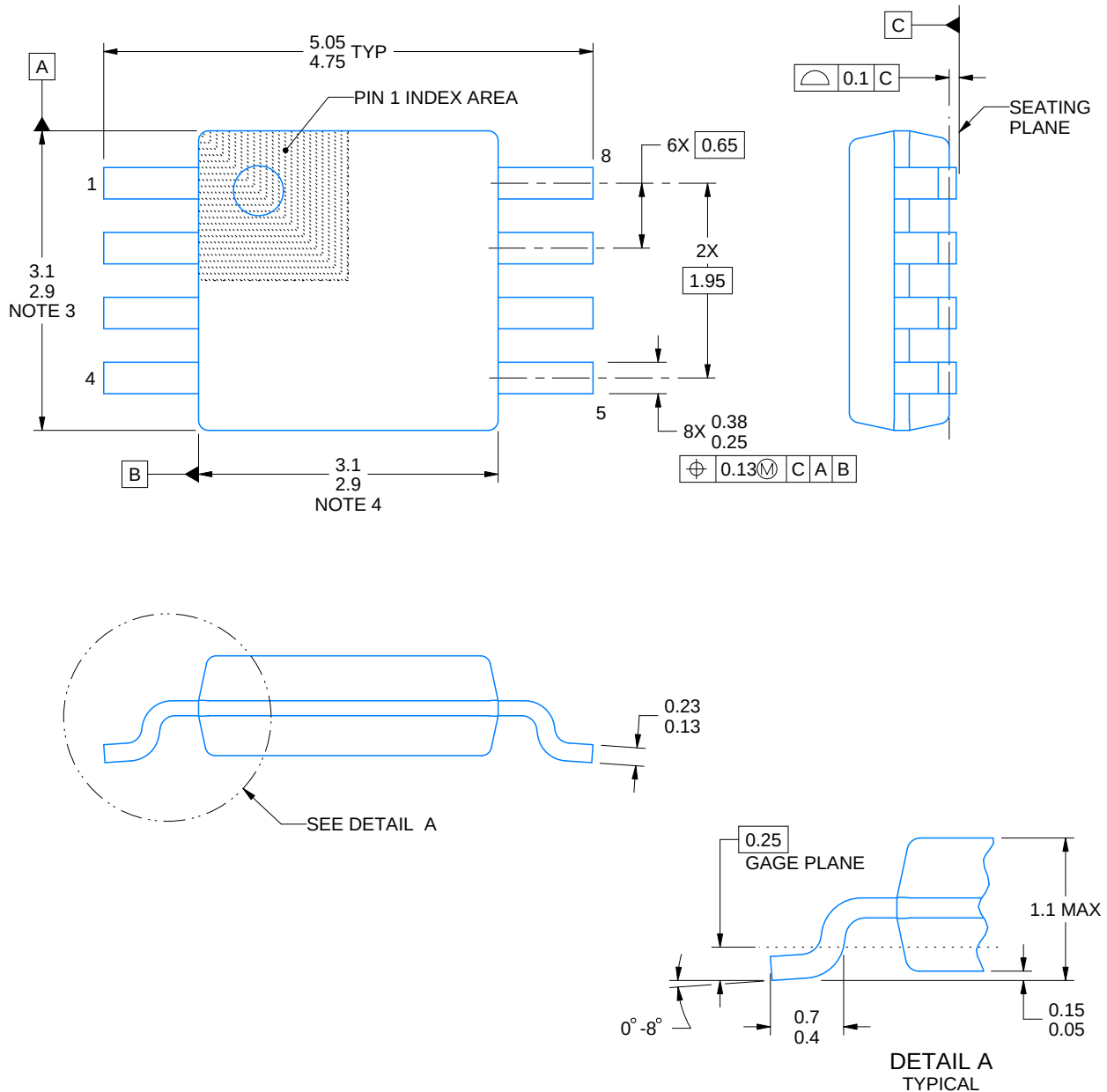
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

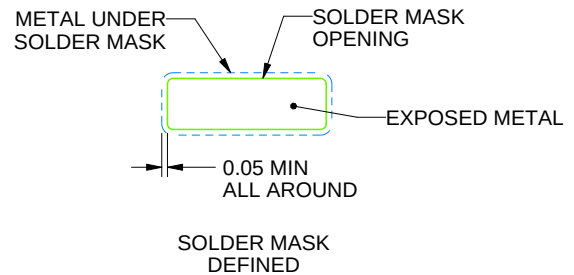
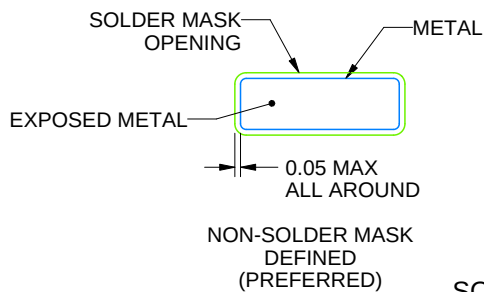
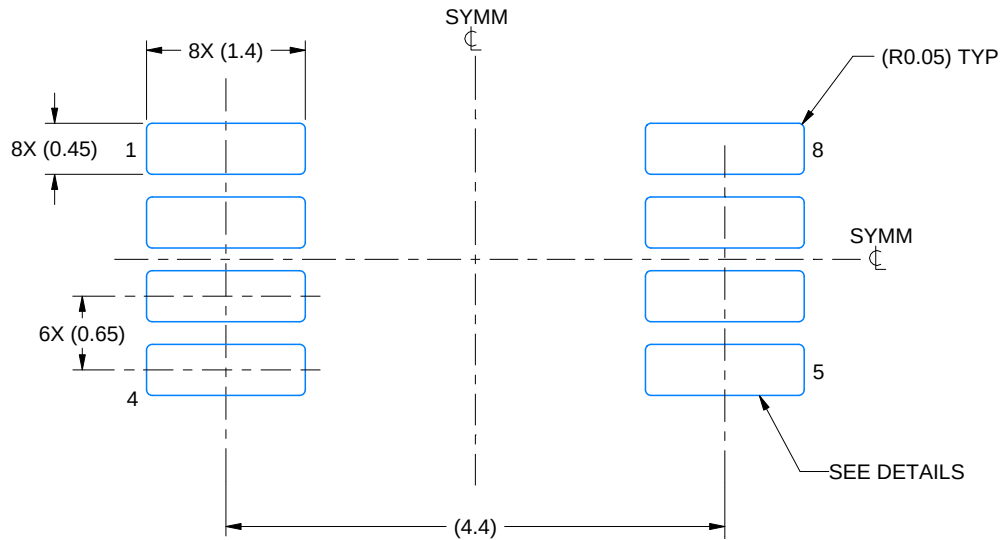
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

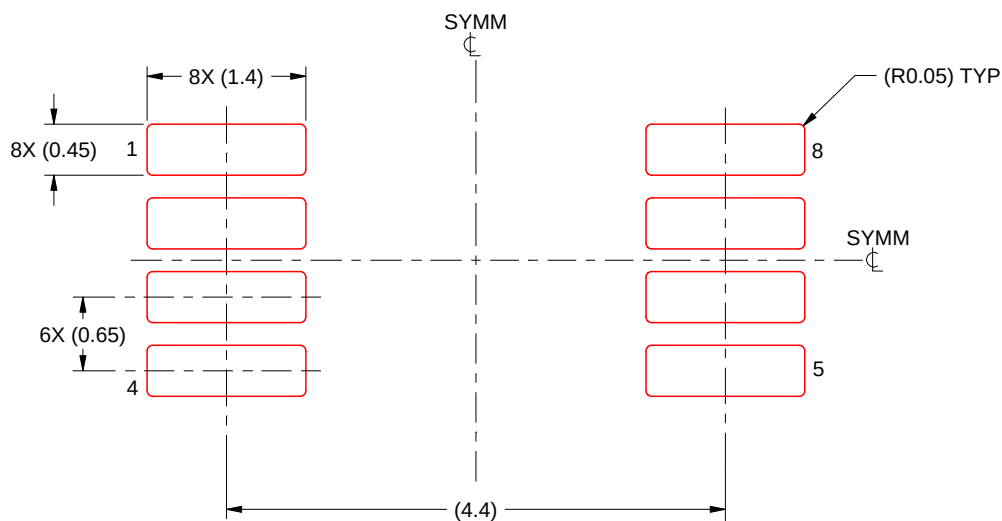
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月