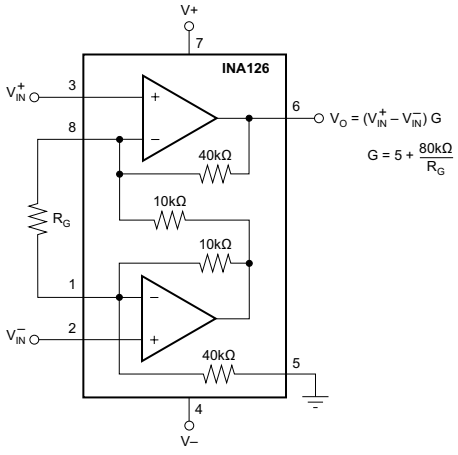
INAx126 MicroPower 仪表放大器

1 特性

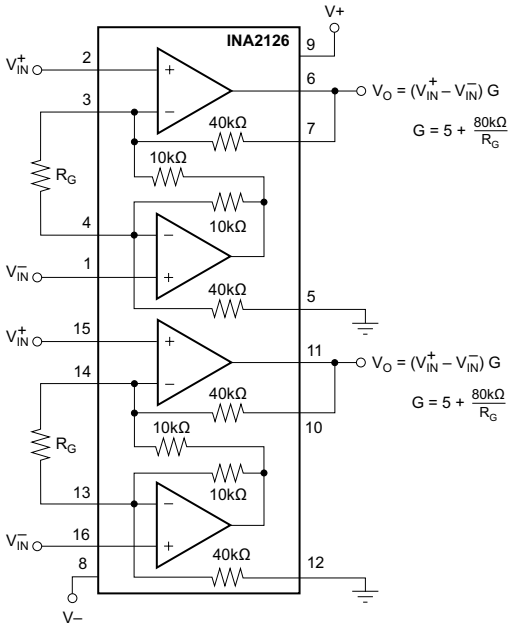
- 低静态电流：175 µA/通道
- 宽电源电压范围：±1.35V 至 ±18V
- 低失调电压：250 µV（最大值）
- 低温漂：3 µV/°C（最大值）
- 低噪声：35 nV/√Hz
- 低输入偏置电流：25nA（最大值）
- 温度范围：-40°C 至 +85°C
- 多种封装选项：
  - 单通道：
    - INA126P/PA 8 引脚 PDIP (P)
    - INA126U/UA 8 引脚 SOIC (D)
    - INA126E/EA 8 引脚 VSSOP (DGK)
  - 双通道：
    - INA2126P/PA 16 引脚 PDIP (N)
    - INA2126U/UA 16 引脚 SOIC (D)
    - INA2126E/EA 16 引脚 SSOP (DBQ)

2 应用

- 液位变送器
- 流量变送器
- 多参数患者监护仪
- 混合模块（AI、AO、DI、DO）
- 交流充电（桩）站
- 输液泵
- 心电图 (ECG)



简化版原理图：INA126



简化版原理图：INA2126

3 说明

INA126 和 INA2126 (INAx126) 是用于精确、低噪声、差分信号采集的精密仪表放大器。这些器件均采用双运算放大器设计，具有低静态电流（175 µA/通道），可提供出色的瞬态性能。由于这些特性再加上 ±1.35V 至 ±18V 的宽工作电压范围，因此 INAx126 非常适合便携式仪表和数据采集系统。

可通过单个外部电阻器在 5V/V 到 10000V/V 范围内设置增益。精密输入电路提供低失调电压（250 µV，最大值）、低失调电压漂移（3 µV/°C，最大值）和出色的共模抑制。

所有版本的额定工作温度范围均为 –40°C 至 +85°C 工业温度范围。

器件信息

器件型号	通道数	封装(1)
INA126	单通道	P（PDIP，8）
		D（SOIC，8）
		DGK（VSSOP，8）
INA2126	双通道	N（PDIP，16）
		D（SOIC，16）
		DBQ（SSOP，16）

(1) 有关更多信息，请参阅节 10。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息：INA126 6
5.5 热性能信息：INA2126 6
5.6 电气特性 7
5.7 典型特性 9
6 详细说明 13
6.1 概述 13
6.2 功能方框图 13
6.3 特性说明 13
6.4 器件功能模式 13
7 应用和实施 14
7.1 应用信息 14
7.2 典型应用 14
7.3 电源相关建议 17
7.4 布局 18
8 器件和文档支持 20
8.1 器件支持 20
8.2 文档支持 20
8.3 接收文档更新通知 20
8.4 支持资源 20
8.5 商标 20
8.6 静电放电警告 20
8.7 术语表 20
9 修订历史记录 21
10 机械、封装和可订购信息 21

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

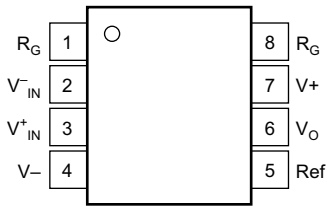


图 4-1. INA126：P（8 引脚 PDIP）、D（8 引脚 SOIC）以及 DGK（8 引脚 VSSOP）封装，顶视图

表 4-1. 引脚功能：INA126

引脚		类型(1)	说明
编号	名称		
1、8	R_G	—	增益设置引脚。对于大于 5 的增益，在引脚 1 和引脚 8 之间放置一个增益电阻器。
2	V^-_{IN}	I	负输入
3	$V+_{IN}$	I	正输入
4	V–	—	负电源
5	参考	I	基准输入。该引脚必须由低阻抗驱动，或者接地。
6	V_O	O	输出
7	V+	—	正电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

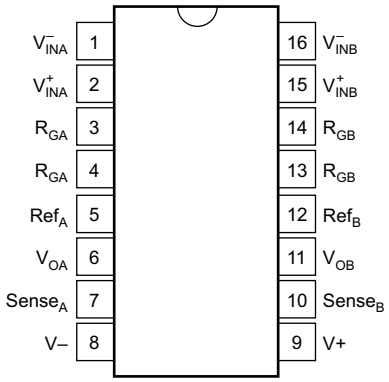


图 4-2. INA2126：N（16 引脚 PDIP）、D（16 引脚 SOIC）以及 DBQ（16 引脚 SSOP）封装，顶视图

表 4-2. 引脚功能：INA2126

引脚		类型(1)	说明
编号	名称		
1	V^-_{INA}	I	放大器 A 的负输入
2	$V+_{INA}$	I	放大器 A 的正输入
3、4	R_{GA}	—	放大器 A 的增益设置引脚。对于大于 5 的增益，在引脚 3 和引脚 4 之间放置一个增益电阻器。
5	Ref_A	I	放大器 A 的基准输入。该引脚必须由低阻抗驱动，或者接地。
6	V_{OA}	O	放大器 A 的输出
7	$Sense_A$	I	放大器 A 的反馈。连接到 VOA，放大器 A 输出。
8	V–	—	负电源
9	V+	—	正电源
10	$Sense_B$	I	放大器 B 的反馈。连接到 VOB，放大器 B 输出。
11	V_{OB}	O	放大器 B 的输出
12	Ref_B	I	放大器 B 的基准输入。该引脚必须由低阻抗驱动，或者接地。
13、14	R_{GB}	—	放大器 B 的增益设置引脚。对于大于 5 的增益，在引脚 13 和引脚 14 之间放置一个增益电阻器。
15	$V+_{INB}$	I	放大器 B 的正输入
16	V^-_{INB}	I	放大器 B 的负输入

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。有关更多信息，请参阅节 8.1.2。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

		最小值	最大值	单位
V_S	电源电压双电源，V_S = (V+) – (V–)		±18	V
	电源电压单电源，V_S = (V+) – (V–)		36	
	输入信号电压(2)	(V–) – 0.7	(V+) + 0.7	V
	输入信号电流(2)		10	mA
	输出短路(3)	持续		
T_A	工作温度	-55	125	°C
	引线温度 (焊接，10s)		300	°C
T_{stg}	存储温度	-55	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 输入信号电压受连接至电源的内部二极管限制。请参阅*输入保护*。
(3) 对 V_S/2 短路。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	典型值	最大值	单位
V_S	电源电压	单电源	2.7	30	36	V
		双电源	±1.35	±15	±18	
T_A	额定温度		-40		85	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息：INA126

热指标(1)		INA126			单位
		PDIP	SOIC	VSSOP	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	52.2	116.4	167.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	41.6	62.4	60.9	°C/W
$R_{\theta JB}$	结至电路板热阻	29.4	57.7	88.9	°C/W
ψ_{JT}	结至顶部特征参数	18.9	10.0	7.3	°C/W
ψ_{JB}	结至电路板特征参数	29.2	57.1	87.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 热性能信息：INA2126

热指标(1)		INA2126			单位
		PDIP	SOIC	SSOP	
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	39.3	76.2	115.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.2	37.8	67.0	°C/W
$R_{\theta JB}$	结至电路板热阻	20.1	33.5	58.3	°C/W
ψ_{JT}	结至顶部特征参数	10.7	7.5	19.9	°C/W
ψ_{JB}	结至电路板特征参数	19.9	33.3	57.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性

在 T_A = 25°C、V_S = ±15V、R_L = 25kΩ、V_{REF} = 0V 且 V_{CM} = V_S /2 时，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件		最小值	典型值	最大值	单位
输入							
V_{OS}	失调电压 (RTI)	INA126P/U/E INA2126P/U/E			±100	±250	μV
		INA126PA/UA/EA INA2126PA/UA/EA			±150	±500	
	失调电压漂移 (RTI)	T_A = -40°C 至 +85°C	INA126P/U/E INA2126P/U/E		±0.5	±3	μV/°C
			INA126PA/UA/EA INA2126PA/UA/EA		±0.5	±5	
PSRR	电源抑制比 (RTI)	V_S = ±1.35V 至 ±18V	INA126P/U/E INA2126P/U/E		±5	±15	uV/V
			INA126PA/UA/EA INA2126PA/UA/EA		±5	±50	
	输入阻抗	CSO：SHE			1 || 4		GΩ || pF
		CSO：TID			17.5 || 1		
	安全输入电压	R_S = 0Ω		(V－) － 0.5		(V+) + 0.5	V
		R_S = 1kΩ		(V－) － 10		(V+) + 10	
V_{CM}	共模电压(1)			-11.25	±11.5	11.25	V
	通道分离（双）	G = 5，直流			130		dB
CMRR	共模抑制比	R_S = 0Ω，V_{CM} = ±11.25V	INA126P INA2126P	83	94		dB
			INA126U/E INA2126U/E	80	94		
			INA126PA/UA/EA INA2126PA/UA/EA	74	83		
输入偏置电流							
I_B	输入偏置电流	INA126P/U/E INA2126P/U/E			±10	±25	nA
		INA126PA/UA/EA INA2126PA/UA/EA			±10	±50	
	输入偏置电流漂移	T_A = -40°C 至 +85°C			±30		pA/℃
I_{OS}	输入失调电流	INA126P/U/E INA2126P/U/E			±0.5	±2	nA
		INA126PA/UA/EA INA2126PA/UA/EA			±0.5	±5	nA
	输入失调电流漂移	T_A = -40°C 至 +85°C			±10		pA/℃
增益							
	增益公式				5 + (80kΩ / R_G)		V/V
G	增益			5		10000	V/V
GE	增益误差	G = 5，V_O = ±14V	INA126P/U/E INA2126P/U/E		±0.02	±0.1	%
			INA126PA/UA/EA INA2126PA/UA/EA		±0.02	±0.18	
		G = 100，V_O = ±12V	INA126P/U/E INA2126P/U/E		±0.2	±0.5	
			INA126PA/UA/EA INA2126PA/UA/EA		±0.2	±1	
	增益漂移(2)	T_A = -40°C 至 +85°C	G = 5		±2	±10	ppm/°C
			G = 100		±25	±100	
	增益非线性	G = 100，V_O = ±14V			±0.002	±0.012	%

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

在 T_A = 25°C、V_S = ±15V、R_L = 25kΩ、V_{REF} = 0V 且 V_{CM} = V_S /2 时，所有芯片原产地 (CSO)，除非另有说明

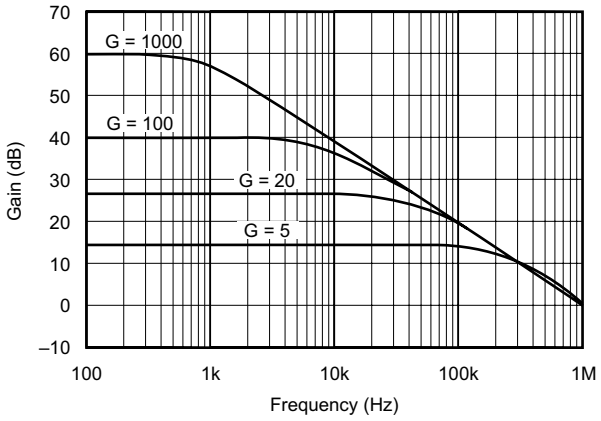
参数		测试条件		最小值	典型值	最大值	单位
噪声							
e_N	电压噪声	f = 1kHz	CSO：SHE		35		nV/√Hz
			CSO：TID		24		
		f = 100Hz	CSO：SHE		35		
			CSO：TID		24		
		f_B = 10Hz	CSO：SHE		45		
			CSO：TID		24		
		f_B = 0.1Hz 至 10Hz	CSO：SHE		0.7		μV_{PP}
			CSO：TID		0.5		
I_n	电流噪声	f = 1kHz			160		fA/√Hz
		f_B = 0.1Hz 至 10Hz			7.3		pA_{PP}
输出							
	正极输出电压摆幅			(V+) – 0.9	(V+) – 0.75		V
	负极输出电压摆幅			(V–) + 0.95	(V–) + 0.8		V
I_{SC}	短路电流	持续达 V_S/2			±5		mA
C_L	负载电容	稳态工作模式			1000		pF
频率响应							
BW	带宽，–3dB	G = 5	CSO：SHE		200		kHz
			CSO：TID		250		
		G = 100	CSO：SHE		9		
			CSO：TID		10		
		G = 500	CSO：SHE		1.8		
			CSO：TID		2		
SR	压摆率	G = 5，V_O = ±10V			0.4		V/μs
t_S	趋稳时间	精度达到 0.01%，V_{STEP} = 10V	G = 5		30		μs
			G = 100		160		
			G = 500		1500		
	过载恢复	50% 输入过载			4		μs
电源							
I_Q	静态电流（每通道）	I_O = 0mA			±175	±200	μA

(1) 仪表放大器输入级的输入电压范围。输入范围取决于共模电压、差分电压、增益和基准电压。请参阅*典型特性*曲线。
(2) 为 G > 5 指定的值不包括外部增益设置电阻器 R_G 带来的影响。

Copyright © 2025 Texas Instruments Incorporated

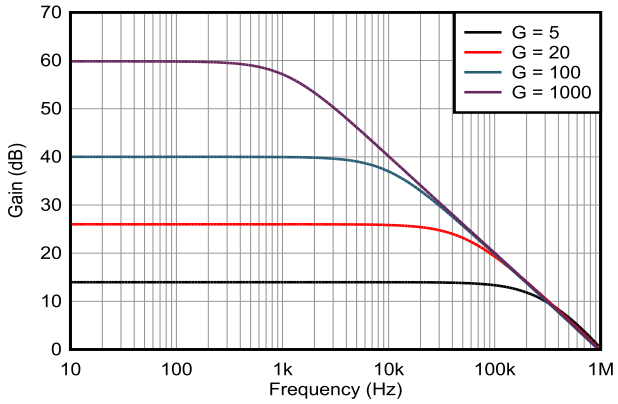
5.7 典型特性

T_A = 25°C、V_S = ±15V、所有芯片原产地 (CSO)，除非另有说明



CSO：SHE

图 5-1. 增益与频率间的关系



CSO：TID

图 5-2. 增益与频率间的关系

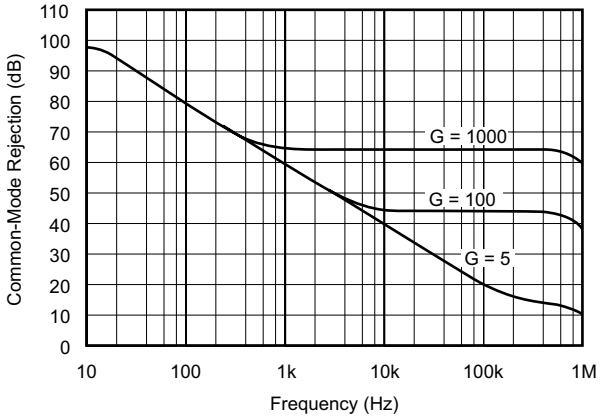


图 5-3. 共模抑制与频率间的关系

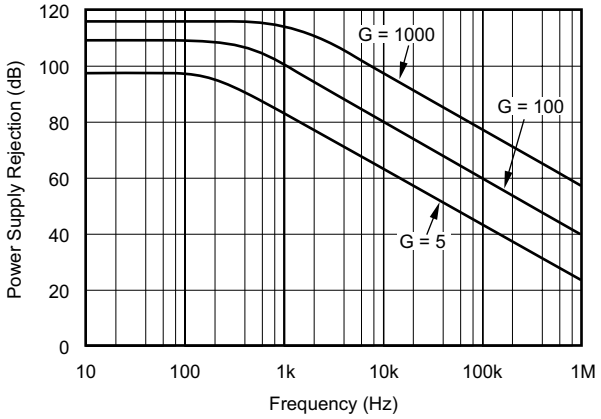


图 5-4. 正电源抑制与频率间的关系

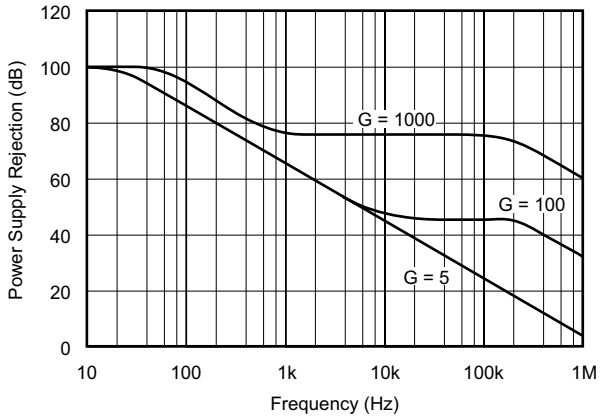
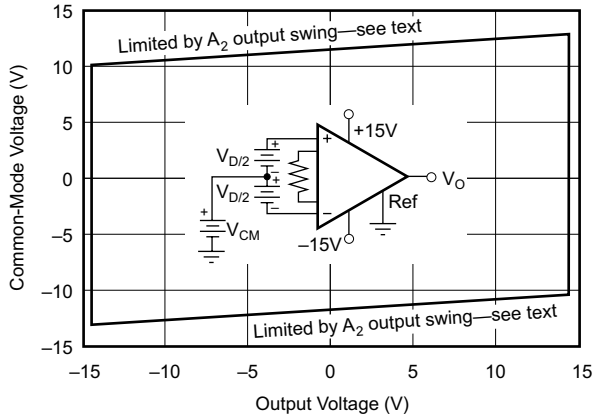


图 5-5. 负电源抑制与频率间的关系

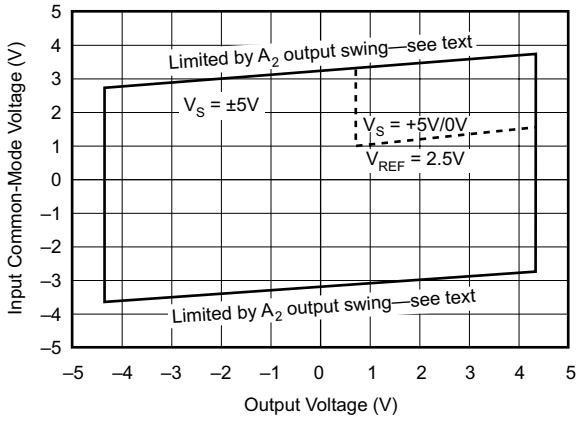


V_S = ±15V

图 5-6. 输入共模电压范围与输出电压间的关系

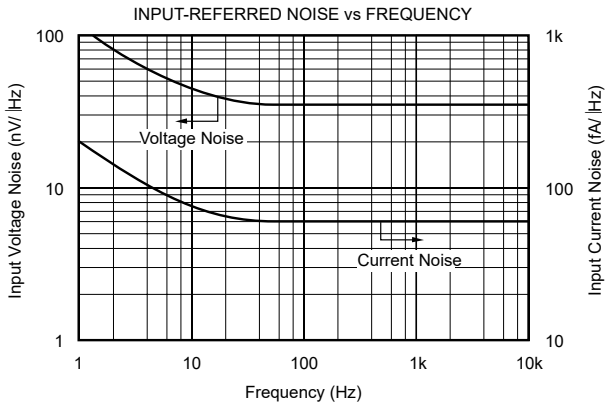
5.7 典型特性（续）

T_A = 25°C、V_S = ±15V、所有芯片原产地 (CSO)，除非另有说明



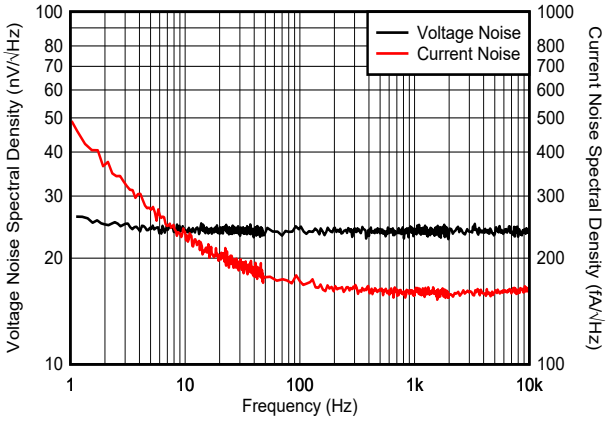
V_S = ±5V

图 5-7. 输入共模电压范围与输出电压间的关系



CSO：SHE

图 5-8. 以输入为基准的噪声与频率间的关系



CSO：TID

图 5-9. 以输入为基准的噪声与频率间的关系

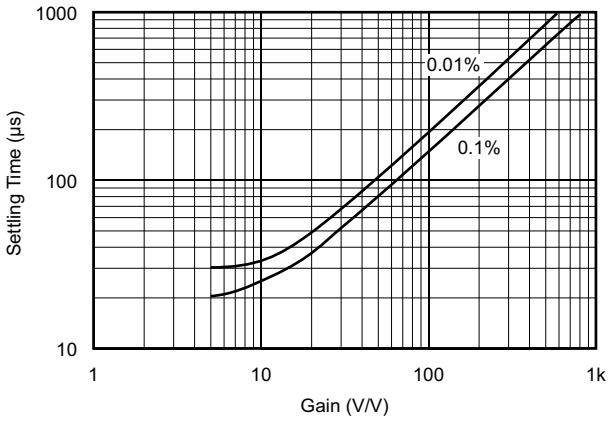
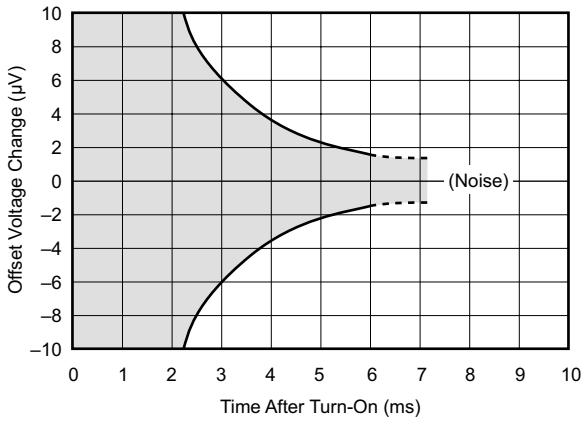
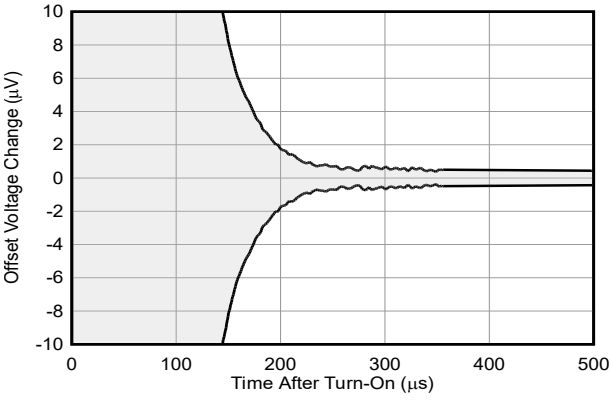


图 5-10. 稳定时间与增益间的关系



CSO：SHE

图 5-11. 输入失调电压预热



CSO：TID

图 5-12. 输入失调电压预热

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

T_A = 25°C、V_S = ±15V、所有芯片原产地 (CSO)，除非另有说明

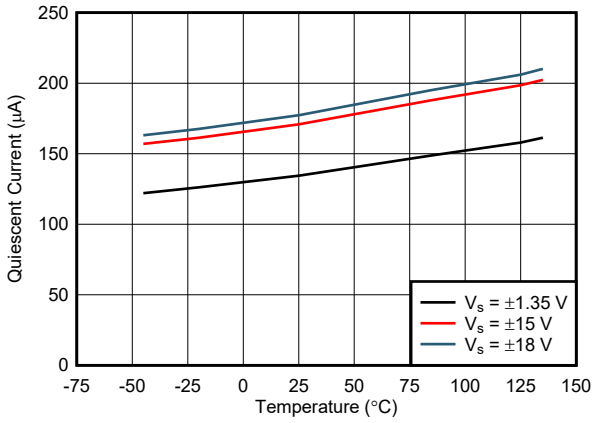


图 5-13. 静态电流与温度间的关系

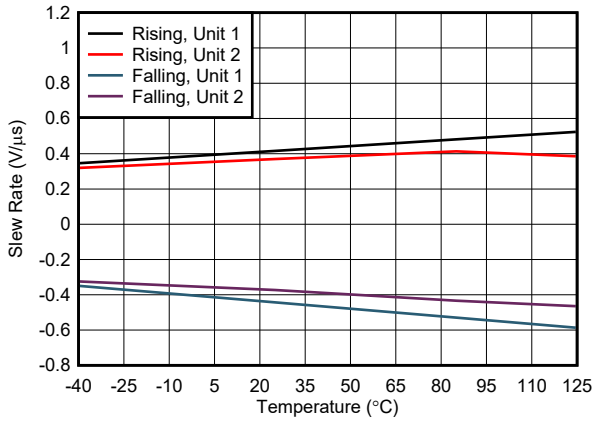
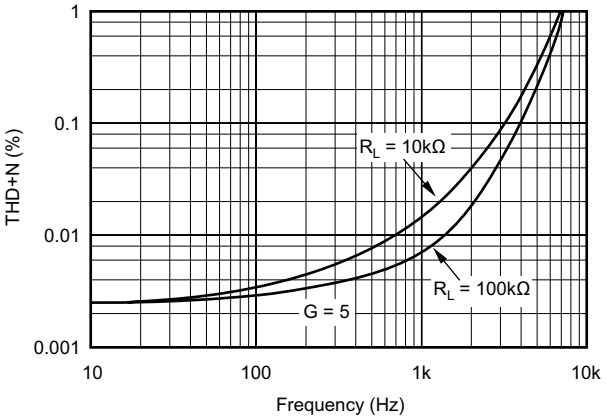
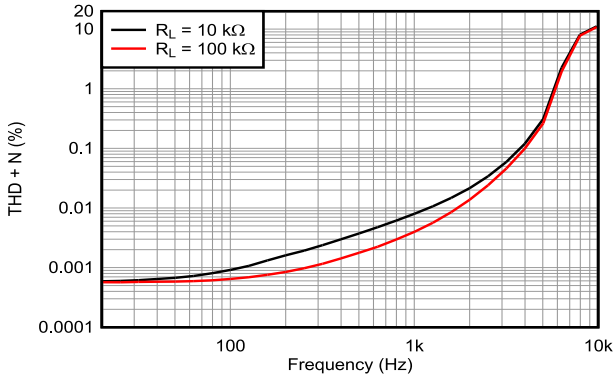


图 5-14. 压摆率与温度间的关系



CSO：SHE

图 5-15. 总谐波失真 + 噪声与频率间的关系



CSO：TID

图 5-16. 总谐波失真 + 噪声与频率间的关系

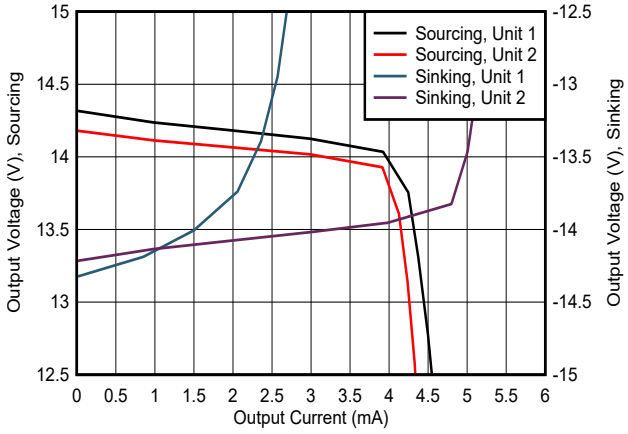
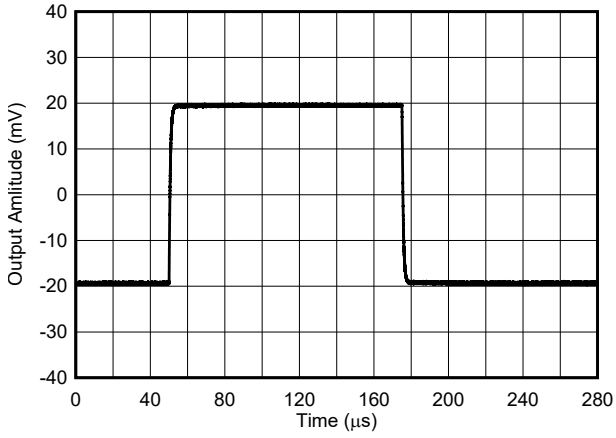


图 5-17. 输出电压摆幅与输出电流间的关系



G = 5

图 5-18. 小信号响应

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

T_A = 25°C、V_S = ±15V、所有芯片原产地 (CSO)，除非另有说明

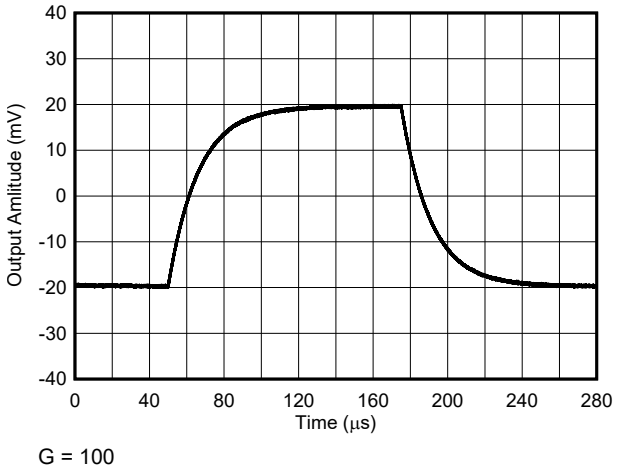


图 5-19. 小信号响应

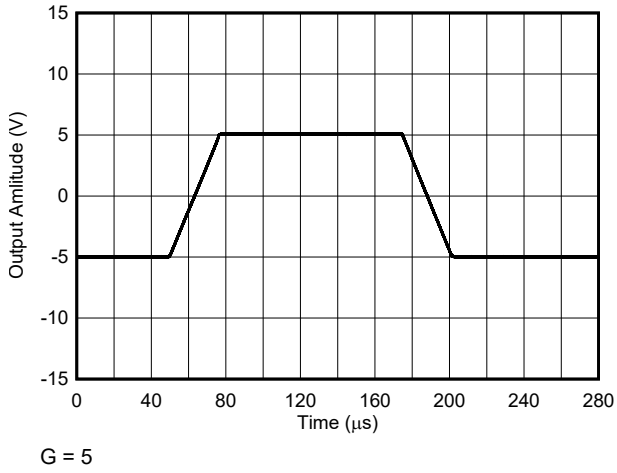


图 5-20. 大信号响应

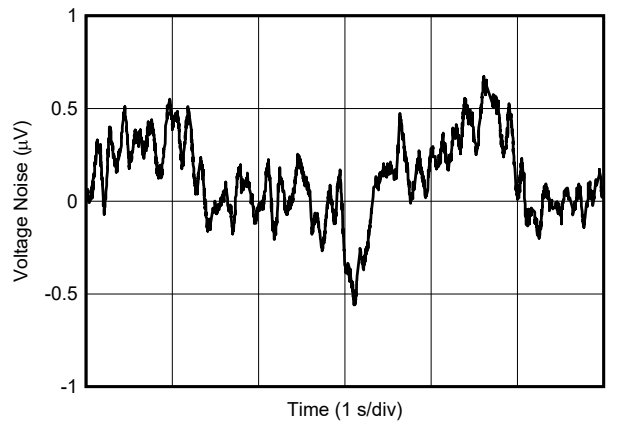


图 5-21. 0.1Hz 至 10Hz 电压噪声

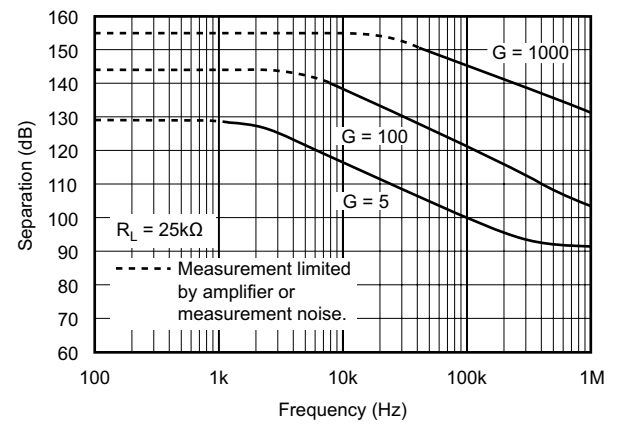


图 5-22. 通道分离与频率间的关系，RTI（双通道版本）

Copyright © 2025 Texas Instruments Incorporated

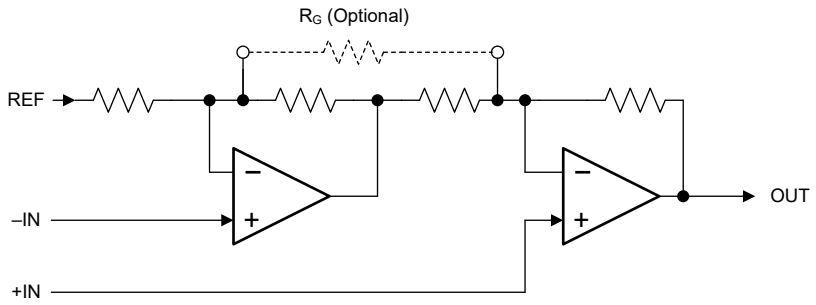
6 详细说明

6.1 概述

INAx126 仅使用两个而不是三个运算放大器，从而节省了功耗。此外，输入电阻较高且平衡，从而允许信号源具有不平衡的输出阻抗。

最低电路增益为 5 时，可为大多数应用提供足够的直流共模输入范围和足够带宽。

6.2 功能方框图



6.3 特性说明

INAx126 是一款低功耗通用仪表放大器，可提供出色的准确性。这些放大器采用多功能二级运算放大器设计，尺寸小巧，适用于多种应用。两级运算放大器拓扑可降低功耗。可通过单个外部电阻器在 5 到 10,000 范围内设置任意增益。这些器件在低至 ±1.35V 的电源和最大 200 μA 的静态电流下运行。

6.4 器件功能模式

6.4.1 单电源供电

INAx126 可用于 2.7V 至 36V 的单电源。使用输出 REF 引脚将内部输出电压电平转换成线性工作条件。理想情况下，将 REF 引脚连接到中间电源的电位，以避免放大器输出饱和。有关如何充分驱动基准引脚的信息，请参阅 *节 7.1*。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

INAx126 使用同相和反相输入之间产生的高共模电压测量小差分电压。高输入阻抗使得 INAx126 成为各种应用的理想选择。INAx126 可通过设置基准引脚来调节输出信号的功能，从而提供了适用于多种配置的额外灵活性。

7.2 典型应用

图 7-1 显示了 INA126 运行所需的基本连接。采用高噪声或高阻抗电源的应用可能要求去耦电容器靠近器件引脚，如图所示。

输出是指输出基准 (Ref) 引脚，该引脚通常接地。此连接必须具有低阻抗，以保持良好共模抑制。8 Ω 与 Ref 引脚串联的电阻导致典型器件降低至大约 80dB CMR。

图 7-4 描述了来自传感器的所需差分信号（1kHz 和叠加在 $1V_{PP}$ 之上的 $5mV_{PP}$ 时）、60Hz 共模信号（1kHz 信号无法在此示波器迹线中解析）。图 7-5 中的 FFT 迹线显示了这两个信号。图 7-6 显示了在增益为 250 的 INA126 输出端清晰恢复的差分信号。图 7-7 的 FFT 显示 60Hz 共模不再可见。

双通道版本 INA2126 具有反馈检测连接 $Sense_A$ 和 $Sense_B$，必须将它们连接到相应的输出引脚才能正常运行。检测连接可以直接检测负载处的输出电压，以获得出色精度。

DESIRED GAIN (V/V)	R_G (Ω)	NEAREST 1% R_G VALUE
5	NC	NC
10	16k	15.8k
20	5333	5360
50	1779	1780
100	842	845
200	410	412
500	162	162
1000	80.4	80.6
2000	40.1	40.2
5000	16.0	15.8
10000	8.0	7.87

NC: No Connection.

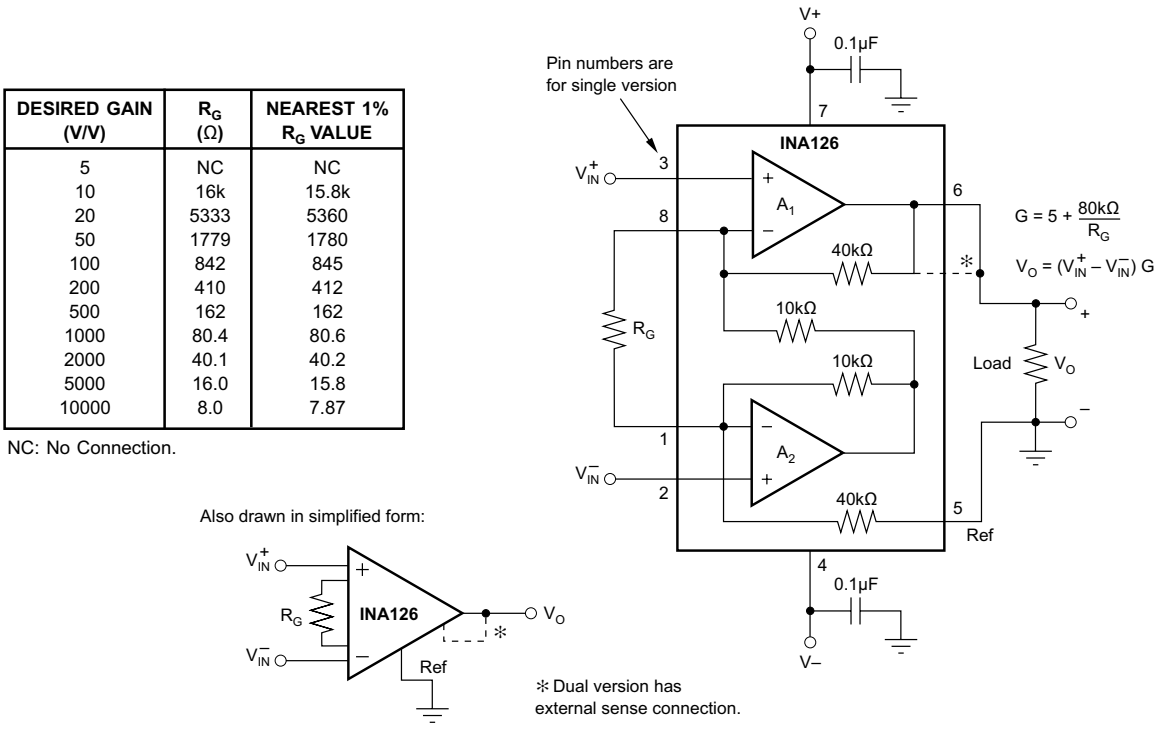


图 7-1. 基本连接

Copyright © 2025 Texas Instruments Incorporated

7.2.1 设计要求

对于图 7-2 和图 7-3 中所示的布线：

- 共模抑制至少为 80dB
- 增益为 250

7.2.2 详细设计过程

7.2.2.1 设置增益

可通过连接一个外部电阻器 R_G 来设置增益：

$$g = 5 + 80k\Omega / R_G \quad (1)$$

常用增益和 R_G 电阻器值如图 7-1 所示。

方程式 1 中的 80kΩ 项来自内部金属膜电阻器，该电阻器经激光修整至精确绝对值。增益精度和漂移规格中包含这些电阻器的精度和温度系数。

外部增益设置电阻器 R_G 的稳定性和温漂也会影响增益。可以从方程式 1 直接推断 R_G 对增益精度和漂移的影响。高增益所需的低电阻值会让配线电阻变得重要。插座会增加配线电阻，并在增益约为 100 或更大时，产生额外的增益误差。

7.2.2.2 失调修整

INAx126 系列具有低偏移电压和失调电压漂移。大多数应用不要求进行外部失调电压调整。图 7-2 显示了用于调整输出失调电压的可选电路。将施加到 Ref 引脚的电压添加到输出信号。运算放大器缓冲器提供低阻抗，以保持良好的共模抑制。

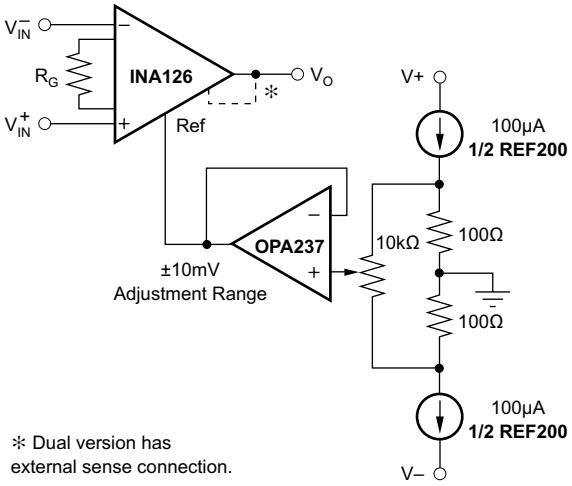


图 7-2. 输出失调电压的可选修整

7.2.2.3 输入偏置电流返回

INAx126 的输入阻抗非常高，约为 $10^9\,\Omega$。然而，必须为这两个输入的输入偏置电流提供路径。此输入偏置电流通查为 −10nA（电流从输入引脚流出）。高输入阻抗意味着，随着输入电压发生变化，该输入偏置电流变化很小。

输入电路必须为该输入偏置电流提供路径以便正常运行。图 7-3 显示了提供输入偏置电流路径的多种方式。在没有偏置电流路径的情况下，这些输入悬空到超过共模范围的电位，且输入放大器饱和。

如果差分源电阻较低，则偏置电流返回路径可以连接到一个输入端（请参阅图 7-3 中的热电偶示例）。在源阻抗较高的情况下，使用两个相等的电阻可提供平衡输入，其优点是偏置电流导致的输入失调电压更低，且高频共模抑制效果更好。

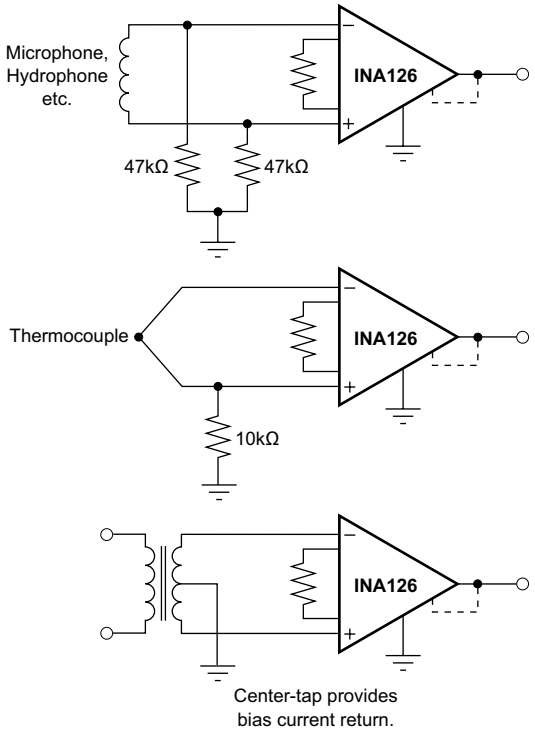


图 7-3. 提供输入共模电流路径

7.2.2.4 输入共模范围

INAx126 的输入共模范围如 *节 5.7* 所示。共模范围在负侧受到 A_2（一个无法在外部引脚上测量的内部电路节点）的输出电压摆幅的限制。A_2 的输出电压可以如方程式 2 所示表示：

$$V_{O2} = 1.25V^{-}_{IN} - (V^{+}_{IN} - V^{-}_{IN})\,(10k\,\Omega/R_G) \quad (2)$$

其中

- 电压以 Ref 引脚 5 为基准

内部运算放大器 A_2 与 A_1 相同，其输出摆幅通常限制为与电源轨相差 0.7V。当超出输入共模范围时（A_2 的输出饱和），A_1 仍可以处于线性运行状态，对同相输入电压的变化做出响应。但是，输出电压无效。

7.2.2.5 输入保护

输入由连接到电源轨的内部二极管提供保护。这些二极管会钳制所施加的信号，以防止信号超过电源约 0.7V。如果信号源电压超过电源电压，则源电流应限制在 10mA 以下。这种限制通常可通过串联电阻器来实现。一些信号源本身会限流，无需限流电阻器。

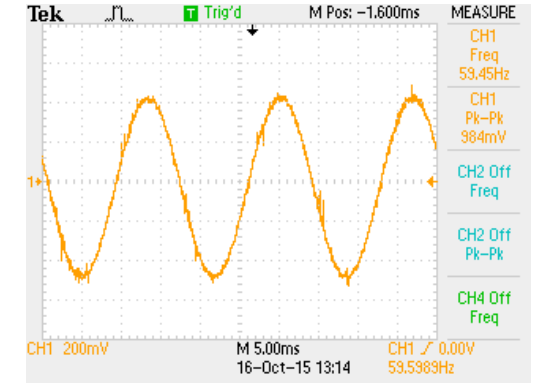
Copyright © 2025 Texas Instruments Incorporated

7.2.2.6 通道串扰 — 双通道版本

INA2126 的两个通道完全独立，包括所有偏置电路。在直流和低频下，通道之间几乎没有信号耦合。串扰随频率增加，并取决于电路增益、源阻抗和信号特性。

随着源阻抗的增加，精心设计的电路布局有助于实现更低的通道串扰。大多数串扰由信号从一个通道到另一个通道的输入部分的电容耦合产生。为了更大限度地减少耦合，应尽可能将输入走线与相反通道的任何关联信号分开。输入周围的接地保护布线有利于减少通道之间的杂散耦合。小心地平衡每个输入到地的杂散电容，并使每个通道的差分输入相互并联，或直接相邻于电路板的顶部和底部。杂散耦合往往会产生共模信号，该信号会被 IA 输入拒绝。

7.2.3 应用曲线



差分信号太小而无法看到

图 7-4. INA126 输入处的共模信号

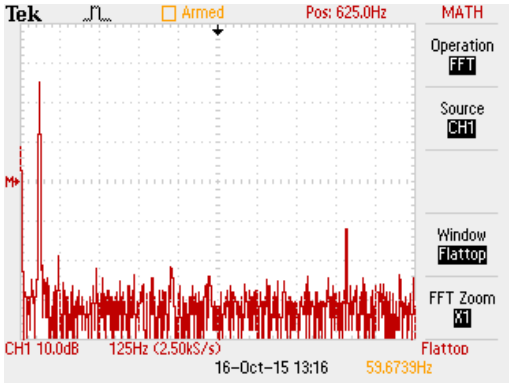


图 7-5. 上图中的信号 FFT 显示了 60Hz 共模及 5kHz 差分信号

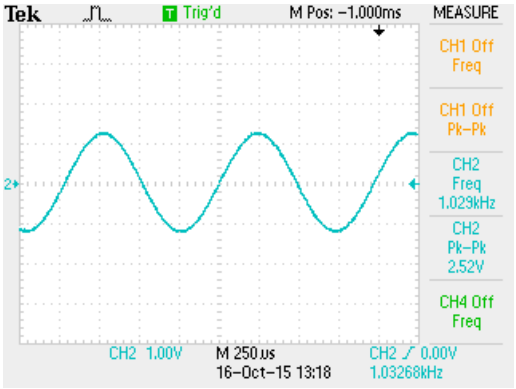


图 7-6. INA126 输出端处的恢复差分信号（增益为 250）

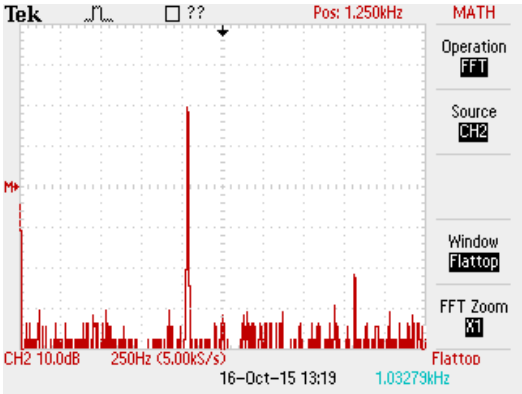


图 7-7. INA126 输出端的 FFT 显示 60Hz 共模信号被抑制

7.3 电源相关建议

7.3.1 低压运行

INAx126 可在低至 ±1.35V 的电源下运行。在 ±1.35V 至 ±18V 的电源范围内，性能仍然出色。在所述整个电源电压范围内，大多数参数仅略有不同（请参阅 *节 5.7*）。在低电源电压下运行时需要特别注意确保共模电压保持在线性范围内（请参阅图 5-6 和图 5-7）。

INAx126 由单电源供电，特别要注意输入共模范围、两个运算放大器的输出电压摆幅和施加到 Ref 引脚的电压。图 7-8 展示了由单个 5V 电源供电的桥式放大器电路。该电桥提供接近 2.5V 的输入共模电压和相对较小的差分电压。

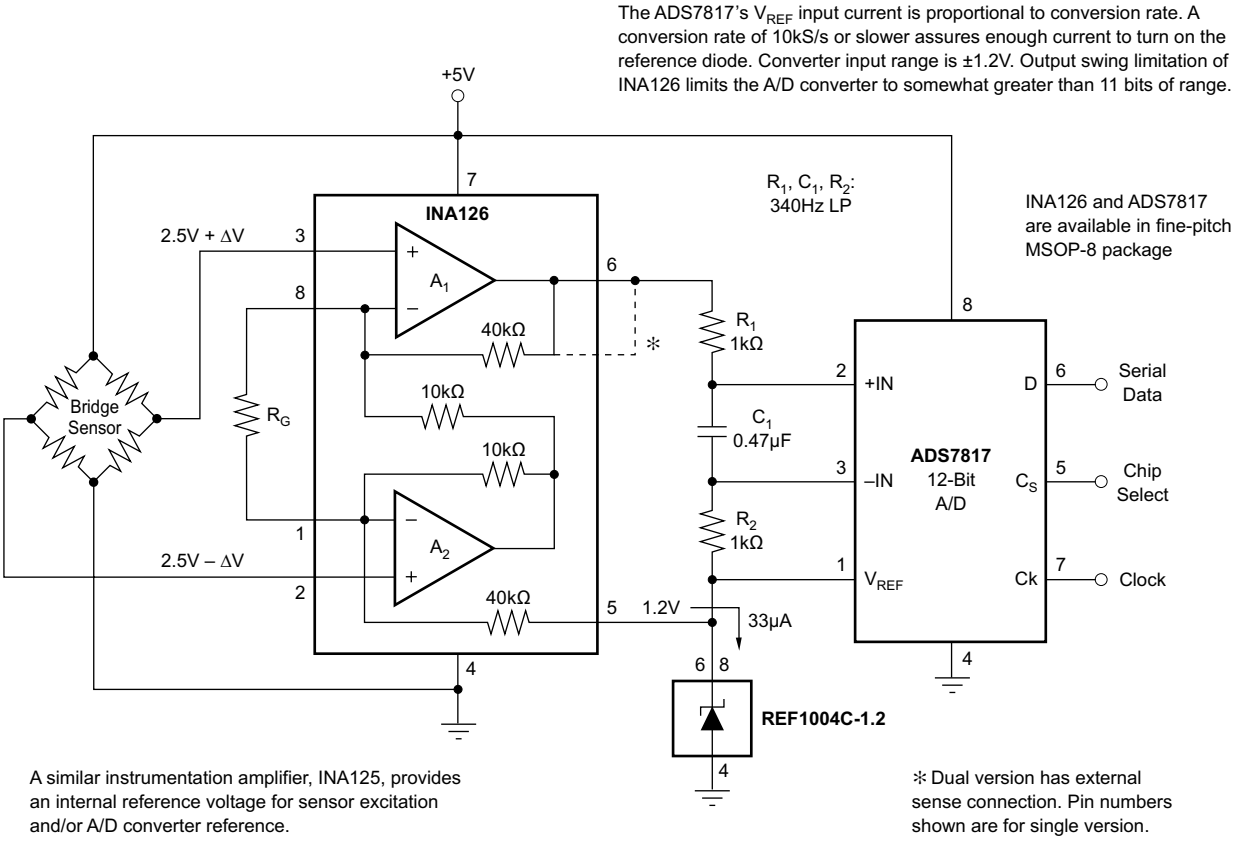


图 7-8. 桥信号采集、单 5V 电源

7.4 布局

7.4.1 布局指南

建议使用良好的布局实践。为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 确保两条输入路径在源阻抗和电容方面匹配良好，以避免将共模信号转换为差分信号。此外，增益设置引脚处的寄生电容也会影响 CMRR 随频率变化的情况。例如，在使用开关或 PhotoMOS® 继电器实现增益切换以更改 R_G 值的应用中，选择组件以使开关电容尽可能小。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1 µ F 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*降低 EMI 的 PCB 设计指南*应用手册。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果上述布线无法分离，则让敏感性布线与有噪声布线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽量靠近器件放置。如图 7-9 所示，使 R_G 靠近引脚可最大限度减小寄生电容。
- 应使布线尽可能短

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

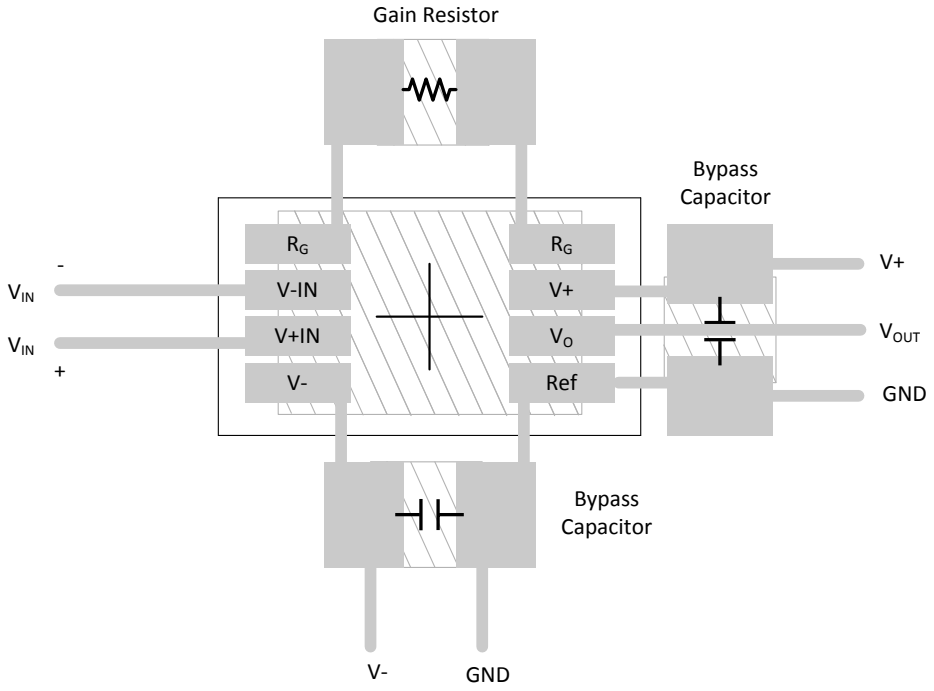


图 7-9. INA126 布局示例

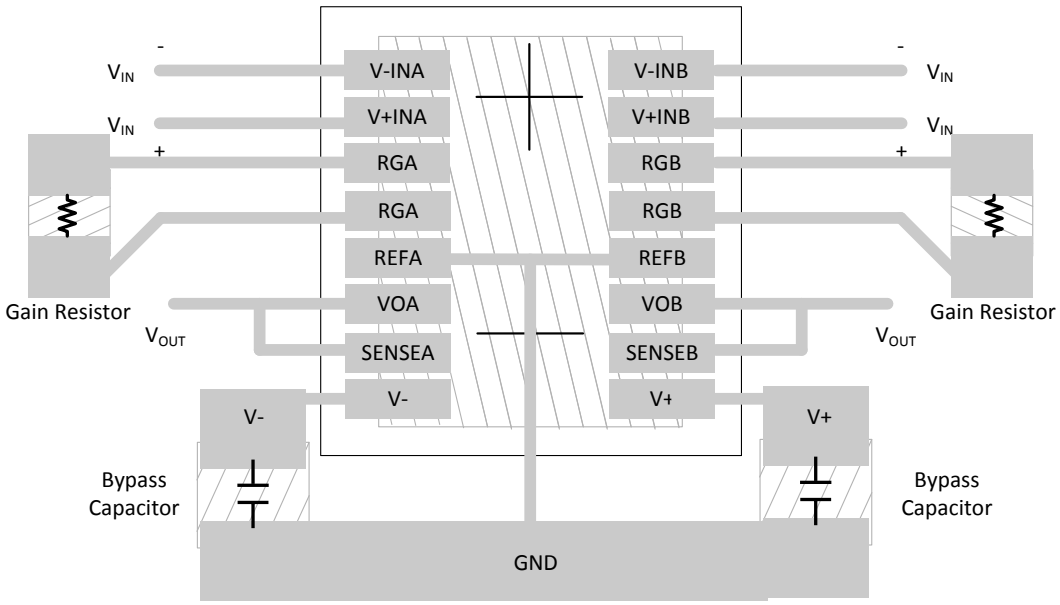


图 7-10. INA2126 布局示例

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型设计，可降低开发成本并缩短上市时间。

8.1.2 器件命名规则

器件型号	定义
INAx126E/250、INAx126E/2K5、INAx126EA/250、INAx126U、INAx126U/2K5、INAx126UA、INAx126UA/2K5	芯片采用 CSO 制造：SHE 或 CSO：TID。
INA126P、INA126PA、INA126-W	芯片仅采用 CSO 制造：SHE。

8.2 文档支持

8.2.1 相关文档

如要查看相关文件，请参阅以下内容：

德州仪器 (TI)，*降低 EMI 的 PCB 设计指南* 应用手册

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
PhotoMOS® is a registered trademark of Panasonic Corporation.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (December 2021) to Revision D (December 2025) **Page**

- 在*规格* 中添加了器件流程信息的说明 5
- 向*电气特性* 中的典型测试条件添加了*所有芯片原产地 (CSO)* 条件 7
- 在*电气特性* 中为输入阻抗添加了不同的制造工艺规格 7
- 在*电气特性* 中为电压噪声添加了不同的制造工艺规格 7
- 在*电气特性* 中添加了带宽 –3dB 的不同制造工艺规格 7
- 向*典型特性* 中的典型测试条件添加了*所有芯片原产地 (CSO)* 条件 9
- 添加了 CSO：SHE 将信息传递到*典型特性* 中的*增益与频率间的关系*、*输入参考失调电压预热* 和*总谐波失真 + 噪声频率* 曲线 9
- 添加了 CSO 的*以输入为基准的噪声与频率间的关系* 曲线：*典型特性*中的 SHE 流 9
- 添加了 CSO：*典型特性* 中*以输入为基准的噪声与频率间的关系* 曲线的 TID 流信息 9
- 为 CSO 添加了*增益与频率间的关系*、*输入参考失调电压预热* 和*总谐波失真 + 噪声频率* 曲线：*典型特征*中的 TID 流 9
- 向*器件命名规则* 添加了器件型号流程信息表 20

Changes from Revision B (December 2015) to Revision C (December 2021) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 在*绝对最大额定值* 中添加了双电源规格 5
- 删除了*建议运行条件* 中冗余的工作温度和输入共模电压规格 5
- 在*建议运行条件* 中添加了双电源和指定温度规格 5
- 在*电气特性* 中为 PSRR 和输入偏置电流规格添加了适当标志 7
- 删除了*电气特性* 中共模电压规格的 V_O = 0V 测试条件 7
- 将*电气特性* 中的共模电压规范规格从 ±11.25V 最小值更改为 –11.25V 最小值以及 11.25V 最大值 7
- 将*电气特性* 中的 INA126U/E、INA2126E 的最低 CMRR 规格从 83dB 更改为 80dB 7
- 在*电气特性* 中为 INA126PA/UA/EA 和 INA2126PA/UA/EA 添加了 ±10nA 的典型输入偏置电流规格 7
- 将*电气特性* 中的电流噪声规格从 60 fA/ √Hz 更改为 160 fA/ √Hz (f = 1kHz 时) ，并从 2pApp 更改为 7.3 pApp (f = 0.1Hz 至 10Hz 时) 7
- 为清晰起见，将*电气特性* 中短路电流规格的测试条件从“接地短路”更改为“持续至 V_S/2” 7
- 将*电气特性* 中的短路电流规格从 +10/-5mA 更改为 ±5mA 7
- 删除了*电气特性* 中冗余的电压范围、工作温度范围和规格温度范围规范 7
- 更改了图 6-7、6-10、6-13、6-14、6-15、6-16、6-17 9
- 添加了图 6-11 9

Changes from Revision A (August 2005) to Revision B (December 2015) **Page**

- 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA126E/250	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/250.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126E/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/2K5G4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	A26
INA126EA/250	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126EA/250.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126EA/2K51G4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-55 to 125	A26
INA126U	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126U/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U/2K5G4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U A
INA126UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U A
INA126UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA126UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U A
INA2126E/250	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 2126E
INA2126E/250.B	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA 2126E
INA2126E/2K5	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-	INA 2126E
INA2126E/2K5.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	INA 2126E
INA2126EA/250	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	-	Call TI	Level-3-260C-168 HR	-	INA 2126E A
INA2126EA/250.B	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	INA 2126E A
INA2126EA/2K5	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	INA 2126E A
INA2126EA/2K5.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 2126E A
INA2126U	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA2126U
INA2126U.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U
INA2126UA	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U A
INA2126UA.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U A
INA2126UA/2K5	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA2126U A
INA2126UA/2K5.B	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA2126U A
INA2126UG4	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U
INA2126UG4.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

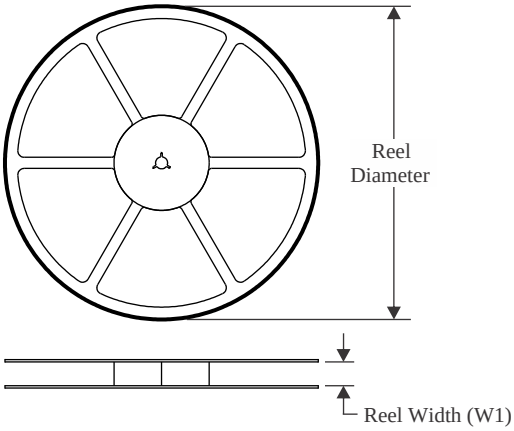
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

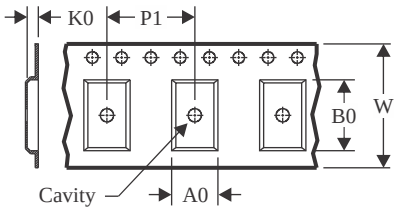
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

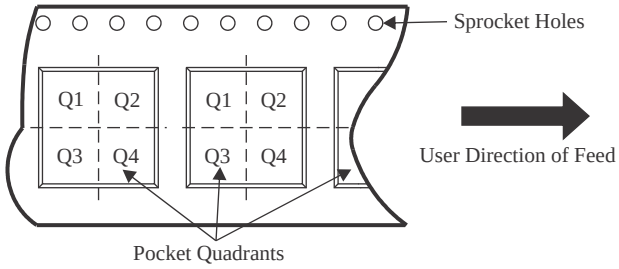


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

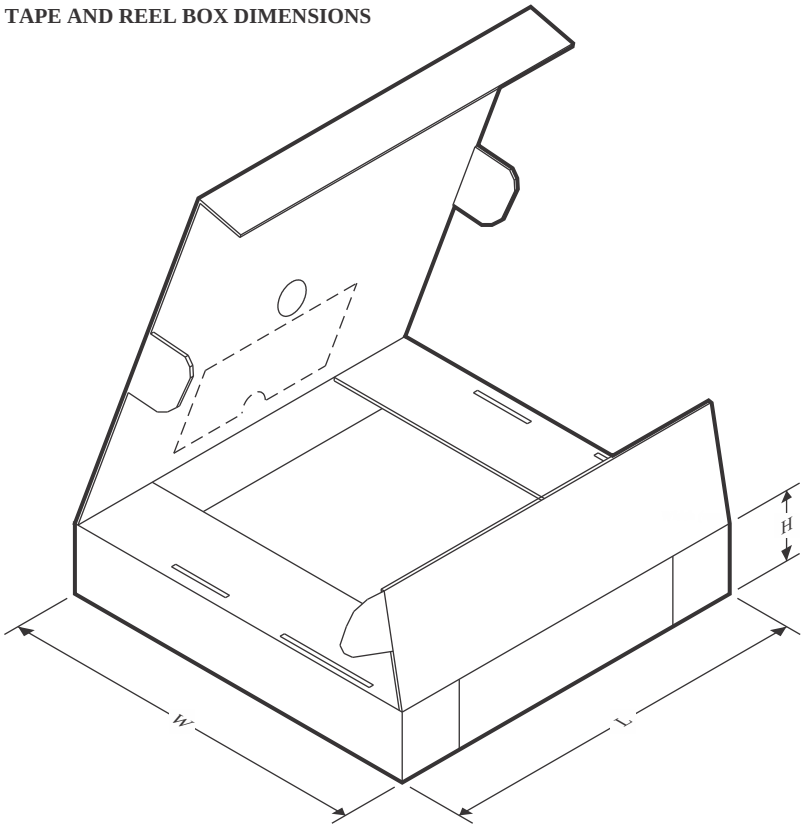
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA126E/250	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126E/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126E/2K5G4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126EA/250	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA126U/2K5G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA126UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126E/250	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126E/2K5	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126EA/250	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126EA/2K5	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126UA/2K5	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

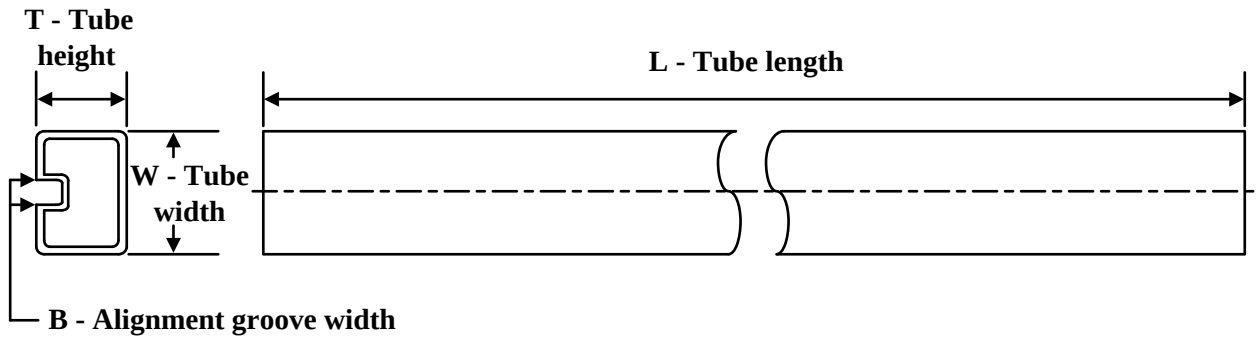
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA126E/250	VSSOP	DGK	8	250	213.0	191.0	35.0
INA126E/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126E/2K5G4	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126EA/250	VSSOP	DGK	8	250	213.0	191.0	35.0
INA126EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA126U/2K5G4	SOIC	D	8	2500	353.0	353.0	32.0
INA126UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA2126E/250	SSOP	DBQ	16	250	213.0	191.0	35.0
INA2126E/2K5	SSOP	DBQ	16	2500	353.0	353.0	32.0
INA2126EA/250	SSOP	DBQ	16	250	213.0	191.0	35.0
INA2126EA/2K5	SSOP	DBQ	16	2500	353.0	353.0	32.0
INA2126UA/2K5	SOIC	D	16	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

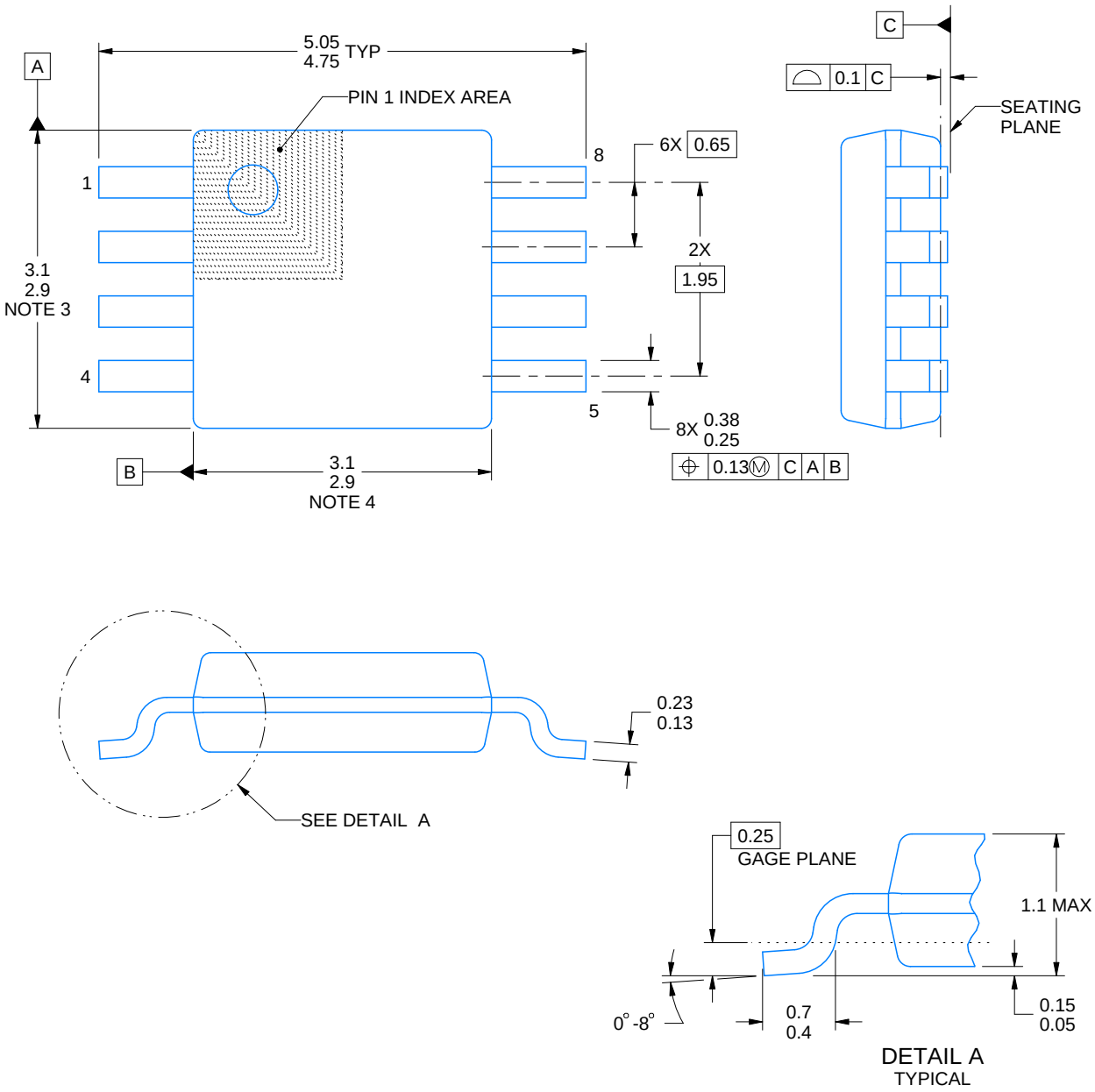
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA126U	D	SOIC	8	75	506.6	8	3940	4.32
INA126U.B	D	SOIC	8	75	506.6	8	3940	4.32
INA126UA	D	SOIC	8	75	506.6	8	3940	4.32
INA126UA.B	D	SOIC	8	75	506.6	8	3940	4.32
INA2126U	D	SOIC	16	40	506.6	8	3940	4.32
INA2126U.B	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UA	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UA.B	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UG4	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UG4.B	D	SOIC	16	40	506.6	8	3940	4.32

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

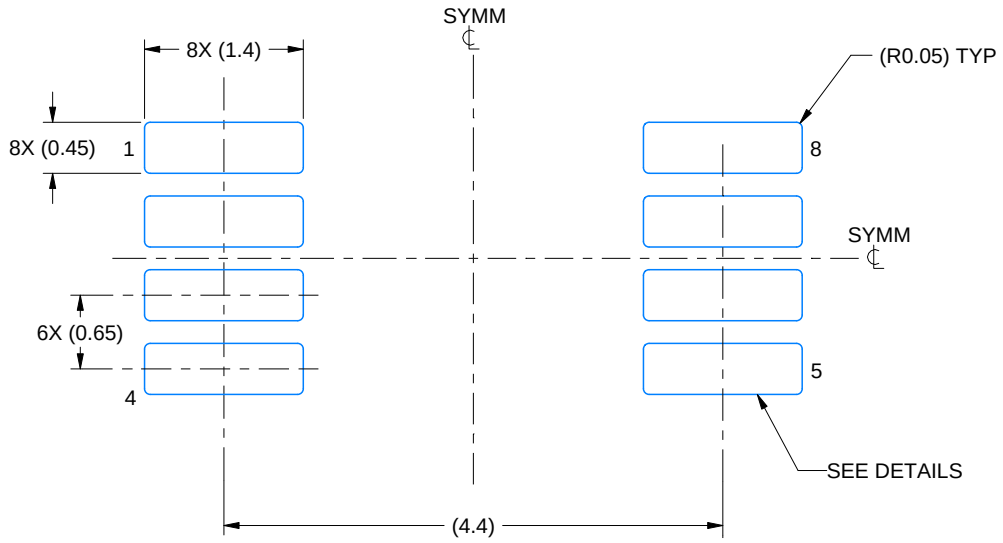
SMALL OUTLINE PACKAGE



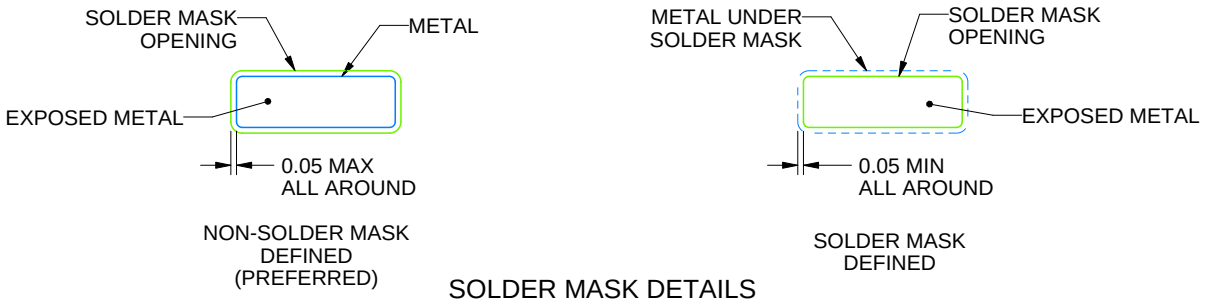
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

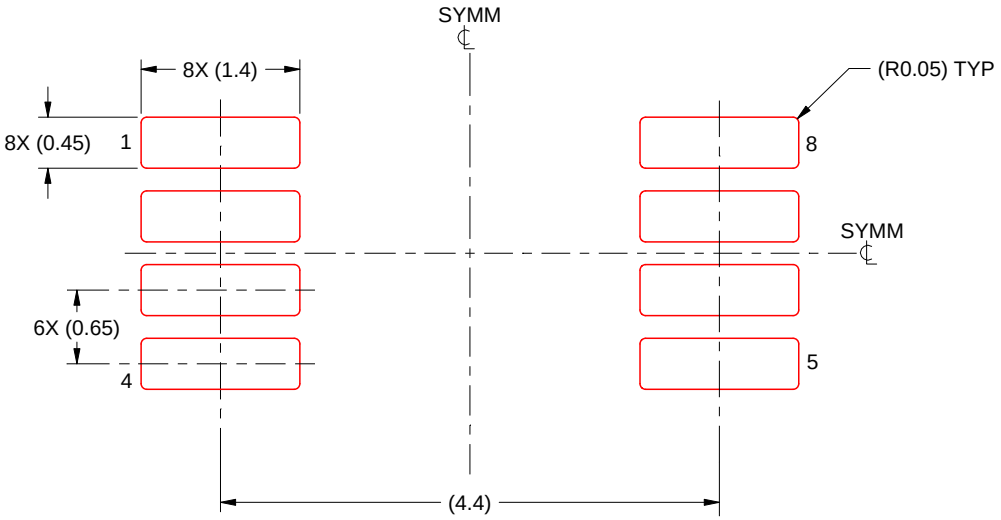


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



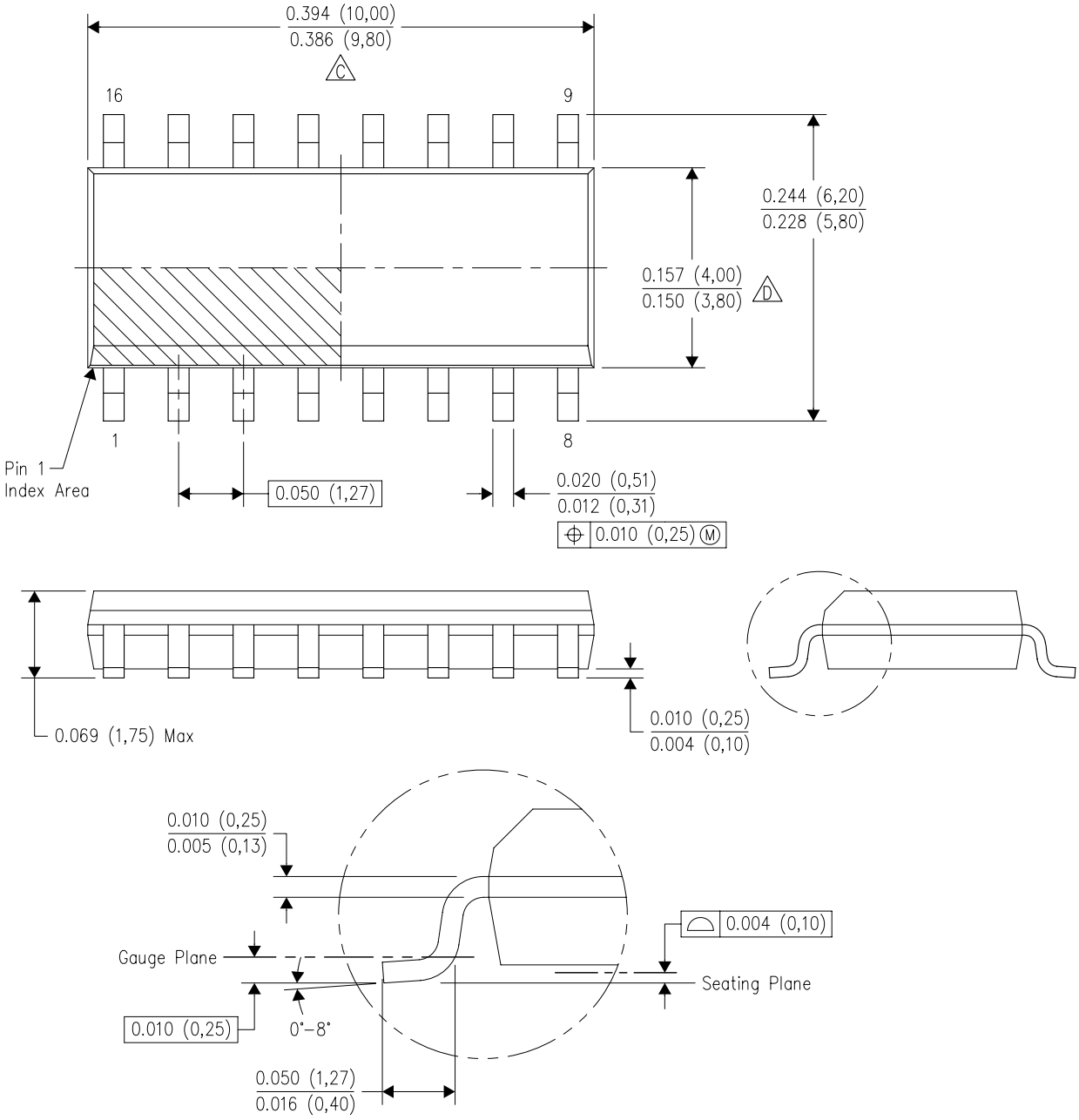
SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

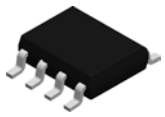
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

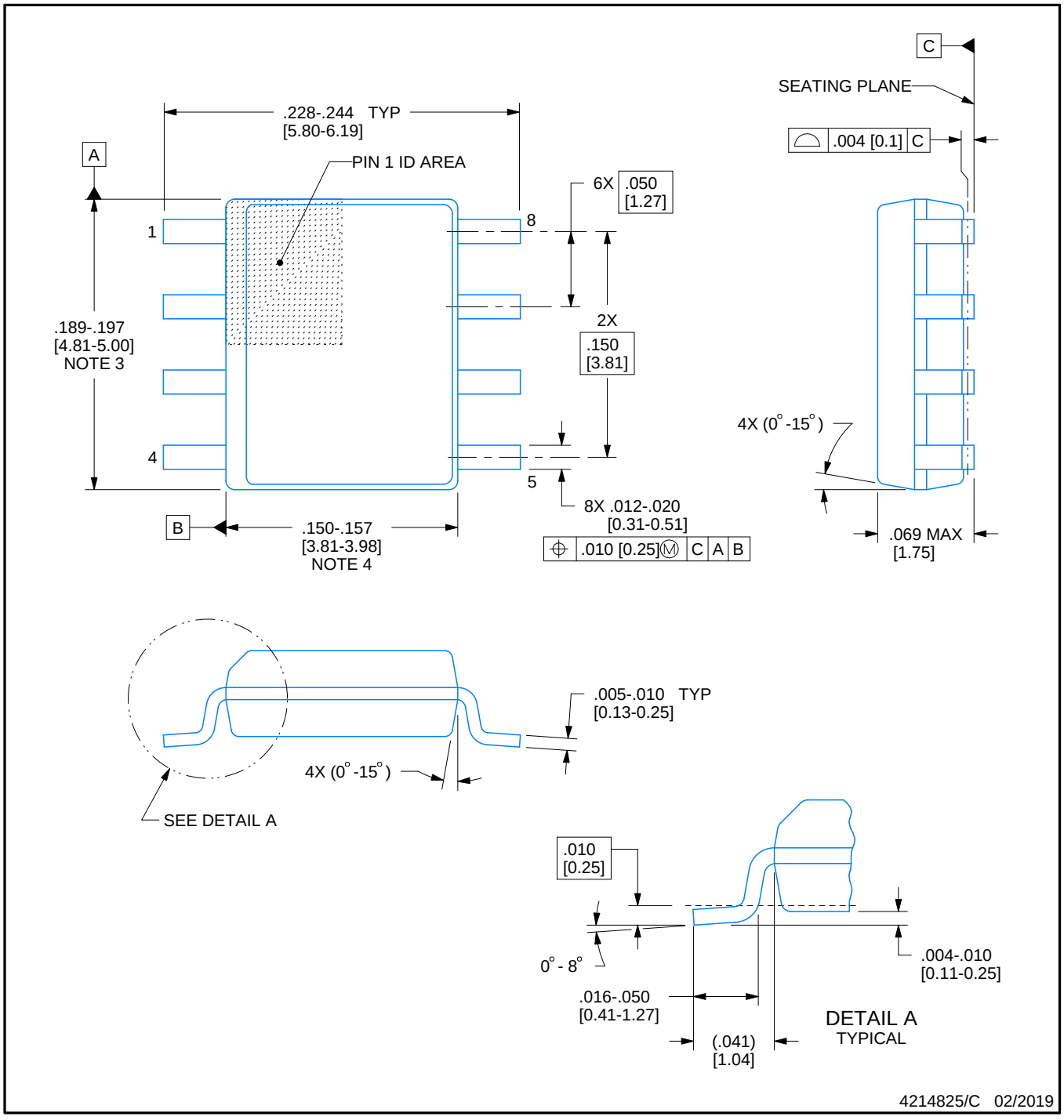


PACKAGE OUTLINE

D0008A

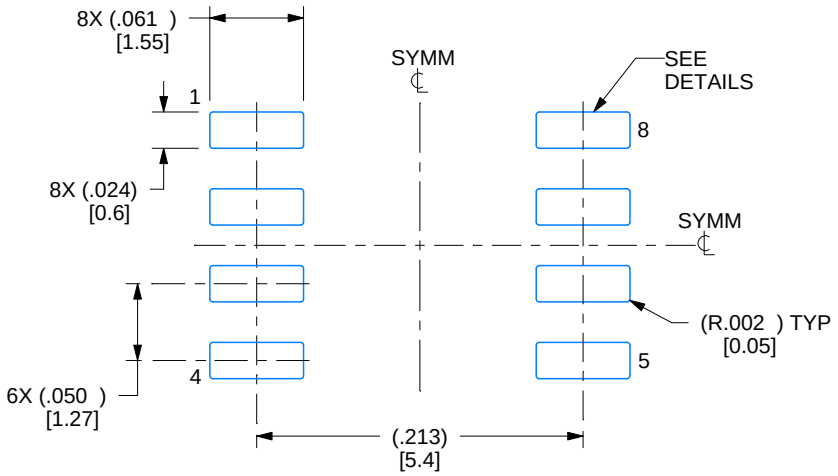
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

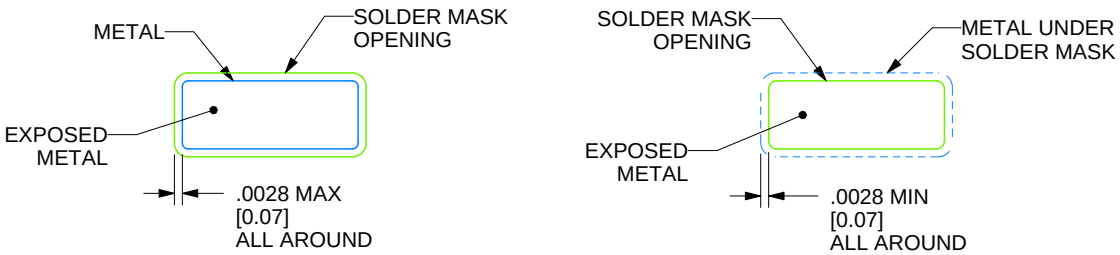


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

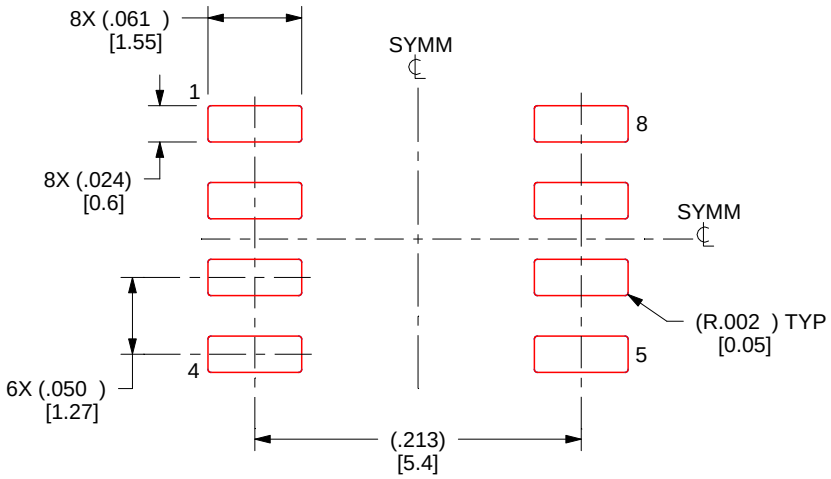
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

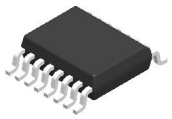


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

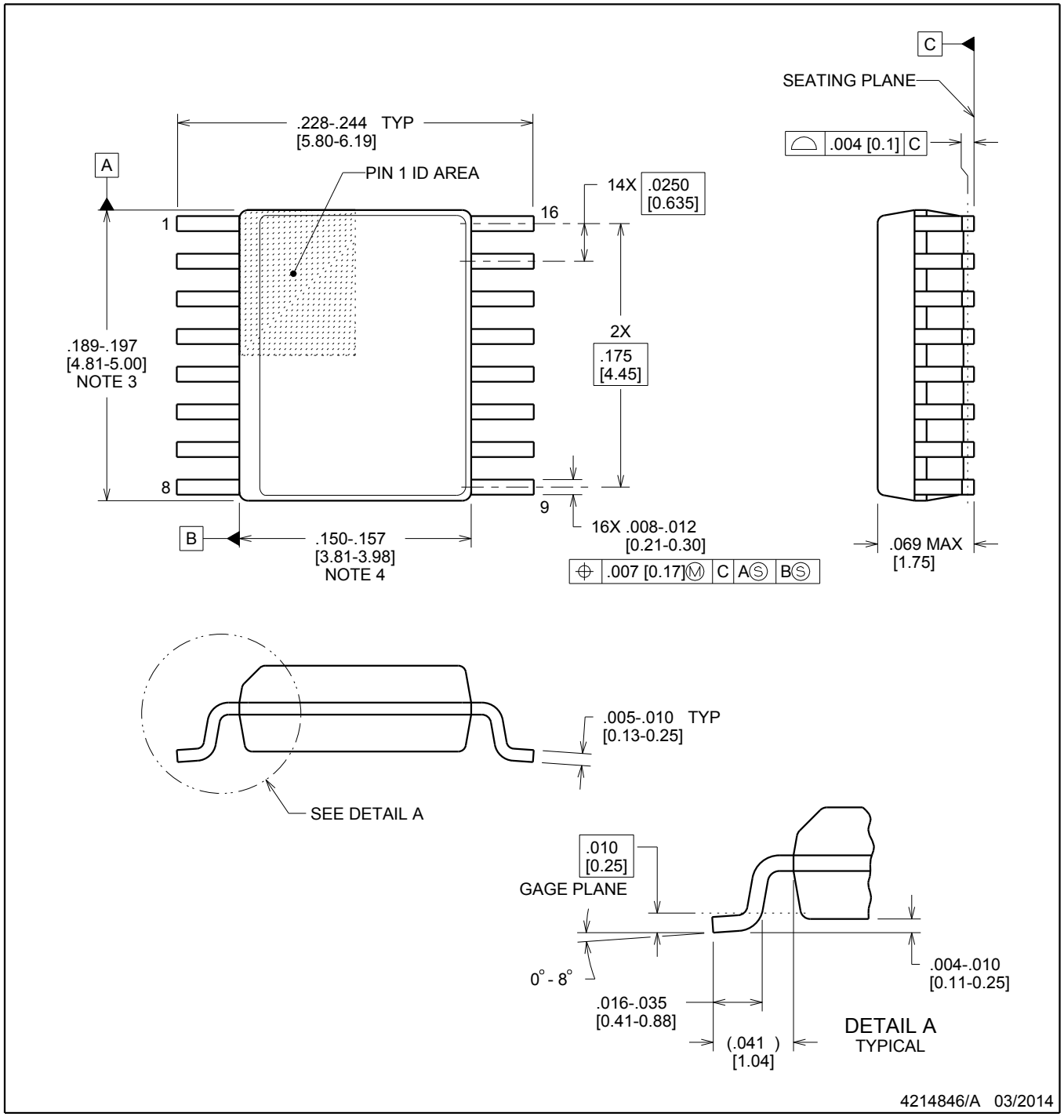


PACKAGE OUTLINE

DBQ0016A

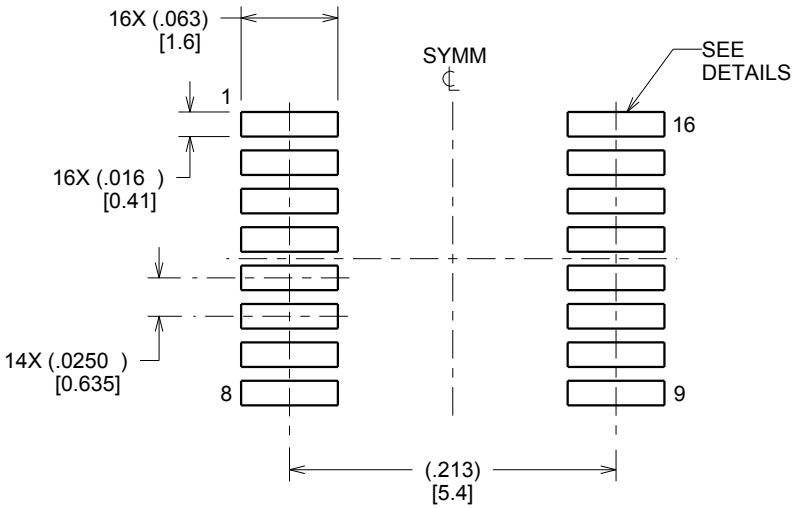
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

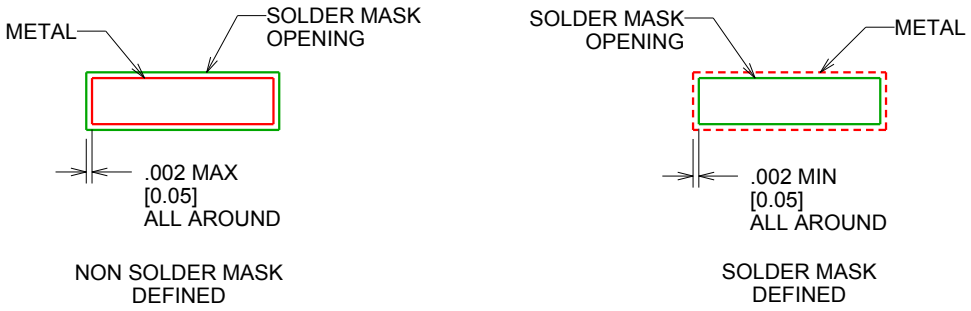


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

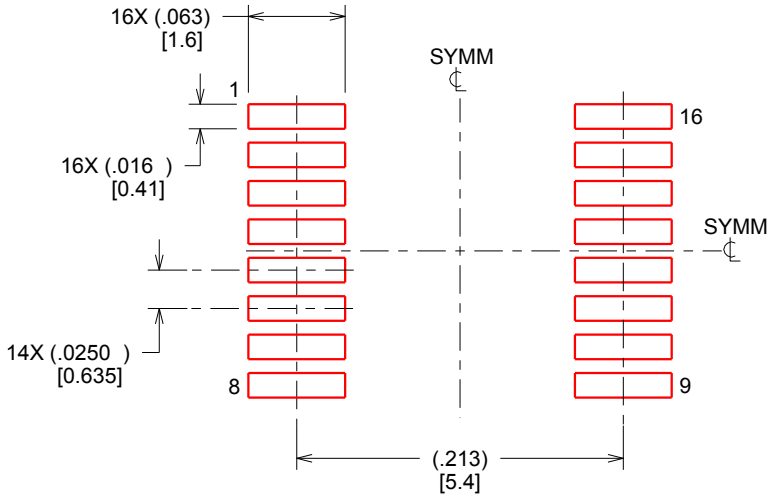
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月